

VŠB - Technická univerzita Ostrava
Fakulta elektrotechniky a informatiky
Katedra kybernetiky a biomedicínského inženýrství

Rozhraní analogového vstupu/výstupu pro DSP
jednotky - laboratorní úloha

Analog Input/Output Interface for DSP Units –
laboratory exercise

VŠB - Technická univerzita Ostrava
Fakulta elektrotechniky a informatiky
Katedra kybernetiky a biomedicínského inženýrství

Zadání bakalářské práce

Student: **Lukáš Ožvold**
Studijní program: B2649 Elektrotechnika
Studijní obor: 3901R039 Biomedicínský technik
Téma: Rozhraní analogového vstupu/výstupu pro DSP jednotky
– laboratorní úloha
Analog Input / Output Interface for DSP Units - Laboratory Exercise

Zásady pro vypracování:

1. Rozbor možností A/D a D/A převodu napěťových analogových signálů a jejich zpracování v programovatelných logických obvodech.
2. Návrh modulu rozhraní analogového vstupu/výstupu pro DSP jednotky.
3. Návrh obvodového zapojení a DPS pro řešený modul rozhraní.
4. Realizace a oživení navrženého modulu.
5. Tvorba demonstrační úlohy pro ověření funkce navrženého modulu s DSP jednotkou.
6. Experimentální ověření funkce a zhodnocení dosažených výsledků.
7. Zhodnocení dosažených výsledků.

Seznam doporučené odborné literatury:

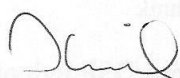
- [1] MATOUŠEK, David. *Číslicová technika: základy konstruktérské praxe*. 1. vyd. Praha: BEN - technická literatura, 2001. 207 s. ISBN 80-730-0025-3.
- [2] HÁJEK, Karel. *Kmitočtové filtry: základy konstruktérské praxe*. 1. vyd. Praha: BEN - technická literatura, 2002. 535 s. ISBN 80-730-0023-7.
- [3] MALINA, Václav. *Poznááme elektroniku: základy konstruktérské praxe*. 1. vyd. České Budějovice: Kopp, 2006. 430 s. ISBN 80-723-2271-0.
- [4] VEDRAL, Josef a Jan FISCHER. *Elektronické obvody pro měřicí techniku: základy konstruktérské praxe*. Vyd. 2. Praha: Vydavatelství ČVUT, 2004. 340 s. ISBN 80-010-2966-2.
- [5] SCHREIER, Richard a Jan FISCHER. *Understanding delta-sigma data converters: základy konstruktérské praxe*. Vyd. 2. Piscataway: IEEE Press, 2005. 446 s. ISBN 04-714-6585-2.
- [6] HÁJEK, Karel. *Kmitočtové filtry: základy konstruktérské praxe*. 1. vyd. Praha: BEN - technická literatura, 2002. 535 s. ISBN 80-730-0023-7.

Formální náležitosti a rozsah bakalářské práce stanoví pokyny pro vypracování zveřejněné na webových stránkách fakulty.

Vedoucí bakalářské práce: **Ing. Vladimír Kašík, Ph.D.**

Datum zadání: 16.11.2012

Datum odevzdání: 07.05.2013



doc. Ing. Jiří Koziorek, Ph.D.
vedoucí katedry

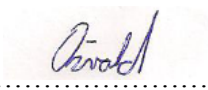


prof. RNDr. Václav Snášel, CSc.
děkan fakulty

Prohlášení

Prohlašuji, že jsem tuto bakalářskou práci vypracoval samostatně. Uvedl jsem všechny literární prameny a publikace, ze kterých jsem čerpal.

V Ostravě, dne 7. 5. 2013


.....
Lukáš Ožvold

Poděkování

Rád bych poděkoval panu Ing. Vladimíru Kašíkovi, Ph.D., za odbornou pomoc a čas, který mi věnoval během tvorby této práce.

Abstrakt

Cílem této bakalářské práce je tvorba laboratorního rozhraní, sloužícího ke zpracování a následné digitalizaci analogového vstupního signálu, který je již dále zpracovatelný pomocí FPGA vývojové platformy. Rozhraní bude využito ve výuce s touto vývojovou deskou a rozšíří tak možnosti jejího využití. V práci je popsán princip převodu signálů analogových na digitální a jsou zde uvedeny nejpoužívanější typy konstrukce A/D a D/A převodníků. V další části se nachází popis obvodů pro předzpracování signálu a přenosu číslicového signálu pomocí SPI rozhraní, které je pro účely často využíváno. Stručně je také popsána základní funkce a princip stavby obvodů FPGA. V praktické části je popsán výběr jednotlivých převodníků, celkové obvodové zapojení a konfigurace rozhraní. Zakončením práce je pak vytvořená laboratorní úloha, sloužící k základnímu pochopení principu převodu signálů.

Klíčová slova

Nyquistův teorém, dolní propust, aliasing, vzorkovací obvod, A/D převodník, D/A převodník, MSB bit, LSB bit, kmitočtové filtry, referenční napětí, SPI, FPGA, mezní kmitočet, kmitočet potlačení, impedanční přizpůsobení, buffer, VHDL

Abstract

The aim of this bachelor thesis is to design and create the laboratory interface which will be used for processing and digitalization analog input signal, which can be subsequently processed by FPGA platforms. The interface will be used in the laboratory exercise with a development board and expand the possibilities of its use. The thesis describes the principle of conversion analog signals to digital. There are also described the most common types of construction A/D and D/A converters. The thesis includes a description of circuits for signal preprocessing and description of transmission of digital signals with using SPI interface. The principle of function FPGA integrated circuit is shortly described. There is explained the choice of single converters, general circuit and configuration of the interface in the practical part. The laboratory exercise has been made for basic understanding of the conversion principle.

Key words

Nyquist theorem, lowpass filter, aliasing, sample and hold circuit, AD converters, DA converters, MSB bit, LSB bit, frequency filter, voltage reference, SPI, FPGA, cutoff frequency, stopband frequency, impedance adaptation, buffer, VHDL

Seznam použitých symbolů

Symbol	Jednotka	Význam
f_m	Hz	Mezní frekvence
f_{max}	Hz	Maximální frekvence
f_p	Hz	Kmitočet potlačení
f_s	Hz	Vzorkovací frekvence
K_{POT}	dB	Potlačení přenosu
n	-	Počet bitů převodníku
P_S	W	Výkon harmonického signálu
P_{ξ}	W	Výkon šumových složek
P_{zkr}	W	Výkon zkreslujících vyšších harmonických složek
Q	-	Činitel jakosti
R_S	Ω	Odpor vzorkovače při sepnutí
T_S	s	Vzorkovací perioda
U_{C0}	V	Původní napěťová hodnota C vzorkovače
U_{REF}	V	Referenční napětí
U_{sig}	V	Napětí vstupního signálu

Seznam použitých zkratek

Zkratka	Český význam	Anglický význam
A/D	Analogově - digitální	Analog - Digital
ADC	Analogově digitální převodník	Analog to Digital Converter
AND	Součinnové hradlo	AND gate
ARC	Aktivní filtr	Active filter
BCD	Dvojkově desítkový kód	Binary Code Decimal
CLB	Konfigurovatelný logický blok	Configurable Logic Device
D/A	Digitálně – analogový	Digital - Analog
DAC	Digitálně analogový převodník	Digital to Analog Converter
DNL	Diferenciální nelinearita	Differential Nonlinearity
DP	Dolní propust	Lowpass filter
DPS	Deska plošných spojů	PCB – Printed Circuit Board
ENOB	Efektivní počet bitů	Effective Number Of Bits
FPGA	Programovatelné hradlové pole	Field Programmable Gate Array
HP	Horní propust	Highpass filter
INL	Integrální nelinearita	Integral Nonlinearity
IO	Integrovaný obvod	Integrated circuit
IOB	Vstupně/výstupní blok	Input/Output Block
LDO	-	Low-Dropout
LSB	Nejméně významný bit	Least Significant Bit
LUT	-	Look Up Table
MISO	Datový vstup SPI rozhraní	Master In, Slave Out
MOSI	Datový výstup SPI rozhraní	Master Out, Slave In
MSB	Nejvýznamnější bit	Most Significant Bit
OZ	Operační zesilovač	Operational amplifier
PLD	Číslicové programovatelné součástky	Programmable Logic Device
PP	Pásmová propust	Bandpass filter
PSM	Programovatelná spínací matice	Programmable Switch Matrix
PZ	Pásmová zádrž	Bandstop filter
RS	Bistabilní klopný obvod	Bistable circuit
S&H	Vzorkovací obvod	Sample And Hold
SCLK	Hodinový signál	Serial Clock
SFDR	Čistý dynamický rozsah	Spurious - Free Dynamic Range
SINAD	Odstup signál – šum a zkreslení	Signal to Noise And Distortion
SMD	Součástky pro povrchovou montáž	Surface Mount Device
SNR	Odstup signál – šum	Signal to Noise Ratio
SPI	Externí sériová sběrnice	SerialPeripheral Interface
SS	Výběr Slave zařízení	Slave Select
THD	Celkové harmonické zkreslení	Total Harmonic Distortion

Obsah

1 Úvod.....	1
2 Princip analogově digitálního převodu.....	2
2.1 Vzorkování.....	2
2.1.1 Aliasing	2
2.2 Kvantizace a kódování	3
2.2.1 Kvantizační chyba	4
3 A/D a D/A převodníky	5
3.1 Základní parametry převodníků	5
3.1.1 Statické parametry.....	6
3.1.2 Dynamické parametry	6
3.2 Architektury A/D převodníků	7
3.2.1 Komparační převodníky	9
3.2.2 Kompenzační převodníky	10
3.2.3 Sigma – Delta převodníky ($\Sigma - \Delta$ converters).....	11
3.2.4 Převodník s dvojitou integrací.....	12
3.3 Architektury D/A převodníků	13
3.3.1 D/A převodník s váhovými proudy	13
3.3.2 D/A převodník s odporovou sítí R-2R	13
4 Vstupní a výstupní obvody převodníků	15
4.1 Kmitočtové filtry	15
4.2 Zdroje referenčního napětí	16
4.3 Ostatní obvody	17
5 SPI rozhraní.....	18
6 Charakteristika FPGA	19
6.1 Základní princip funkce	19
7 Návrh řešení a realizace	21
7.1 Základní specifikace rozhraní	21
7.2 Základní charakteristika FPGA Nexys™3	22
7.3 Výběr převodníků.....	23
7.3.1 A/D převodník AD7682	23
7.3.2 A/D převodník AD7356	24

7.3.3 D/A převodník DAC121S101	25
7.4 Vstupní a výstupní periferní obvody	25
7.4.1 ARC antialiasing filtr – AD7682.....	25
7.4.2 Impedanční přizpůsobení – AD7356.....	27
7.4.3 Mikrofonní předzesilovač	27
7.4.4 Integrovaný obvod SSM2305 s audio výstupem.....	29
7.5 Návrh desky plošných spojů	29
8 Laboratorní úloha	31
8.1 Konfigurace rozhraní.....	31
8.1.1 Prostředí ISE Design Suite 14.4, Adept	31
8.1.2 Tvorba konfiguračních souborů	33
8.2 Výroba laboratorního přípravku.....	34
8.3 Popis laboratorní úlohy	35
8.3.1 První část - AD7356.....	35
8.3.2 Druhá část - DAC121S101.....	36
9 Zhodnocení výsledků	38
9.1 První část laboratorní úlohy	38
9.2 Druhá část laboratorní úlohy	40
9.3 Další části rozhraní.....	41
9.3.1 AD7682	41
9.3.2 Mikrofon s předzesilovačem	42
9.3.3 Integrovaný obvod SSM2305 s audio výstupem.....	42
10 Závěr	44
Použitá literatura	45
Seznam použitých obrázků a tabulek.....	47
Seznam příloh.....	I

1 Úvod

V současné době jsou FPGA obvody uplatňovány v široké škále různých aplikací. Pořizovací cena těchto programovatelných hradlových polí neustále klesá a jsou oblíbeným řešením díky možnosti zcela individuálního nastavení vnitřní struktury pro každou aplikaci a možnému vylepšení již nastavené konfigurace. Jejich další výhodou je možnost zpracovávat data paralelně v jeden časový okamžik a tím tedy podstatně zkrátit dobu, potřebnou k vykonání požadované operace. To z nich činí velmi kvalitní nástroj pro zpracování dat například v medicíně. Práce se věnuje tvorbě multifunkčního rozhraní pro laboratorní potřeby studentů, schopného převádět vstupní analogový signál na digitální tak, aby mohl být zpracován pomocí vývojové platformy FPGA Nexys™3. Rozhraní obsahuje také D/A převodník s audio výstupem či možností přímého analogového výstupu. Celý obvod je navržen jednak s požadavkem na co nejlepší zachování kvality signálu, ale také na nízkou pořizovací cenu. Proto bylo během návrhu potřeba najít kompromis mezi kvalitou a cenou. V rámci jednoduchosti je celý obvod napájen z Pmod konektoru vývojové desky, který zprostředkovává také komunikaci a přenos dat mezi rozhraním a FPGA. Dalším parametrem je co největší názornost funkce a dobré zpracování, aby bylo připojování k platformě intuitivní, jednoduché a rychlé. V této práci jsou popsány principy převodu signálu z analogové do číslicové podoby a naopak, dále jsou popsány základní architektury A/D, ale také D/A převodníků, které jsou v současné době nejrozšířenější. Poté jsou zde uvedeny ostatní obvody, které jsou nezbytné pro správný převod a funkci těchto obvodů. Pozornost je věnována také velmi rozšířeným sériovým přenosům dat mezi integrovanými obvody, kterým je SPI a základnímu principu FPGA. Praktická část práce popisuje konkrétní řešení, počínající výběrem převodníků, řešením obvodového zapojení, návrhem DPS až po konfiguraci rozhraní. V závěru je popsána laboratorní úloha, která má za úkol seznámit se základními principy převodu signálů z analogového na digitální a naopak.

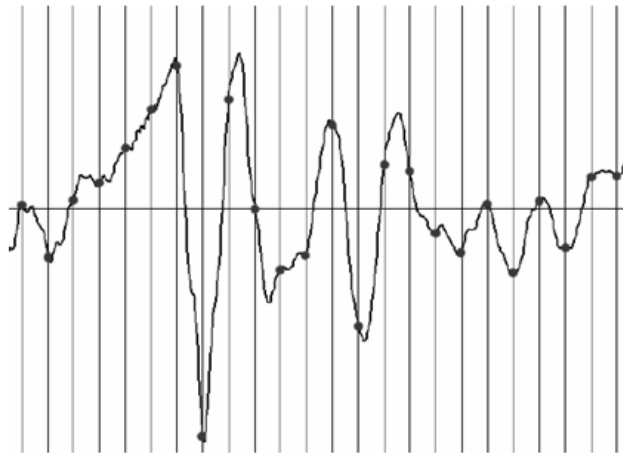
2 Princip analogově digitálního převodu

V dnešní době se ve většině elektronických zařízení využívá digitální podoby signálu. To je dáno především možností vytvářet daleko složitější struktury, které by většinou analogově realizovat nebylo ani možné. Výhodou jsou velmi kompaktní rozměry, což je možno vidět na stále se zmenšující velikosti zařízení, potřeba malých výkonů a také jednoduchá úprava signálů pomocí různých softwarových aplikací. Pokud je tedy vyžadována informace v digitální podobě je potřeba provést několik kroků, které budou popsány v následující kapitole.

2.1 Vzorkování

Vzorkováním rozumíme takzvanou diskretizaci časového průběhu signálu. Jak již bylo řečeno analogový signál je spojitý v čase. Během vzorkování dochází k tomu, že časovou osu tohoto signálu rozložíme na rovnoměrně dlouhé úseky, kde v každém je odebrán jeden tzv. *vzorek*. Vzorkovací perioda se značí T_s . Kmitočet vzorkování je dán vztahem (1).

$$f_s = \frac{1}{T_s} [Hz] \quad (1)$$



Obr. 1: Vzorkování spojitého signálu.[1]

2.1.1 Aliasing

Abychom zachovali skutečný tvar signálu i po jeho převodu, je potřeba dodržet Nyquistův teorém vyjádřený vztahem (2).

$$f_s \geq 2f_{max} [Hz] \quad (2)$$

Tento vztah říká, že minimální vzorkovací frekvence musí být větší, nebo alespoň stejná jako je nejvyšší frekvence vzorkovaného signálu. V opačném případě by nebyl signál správně rekonstruován.

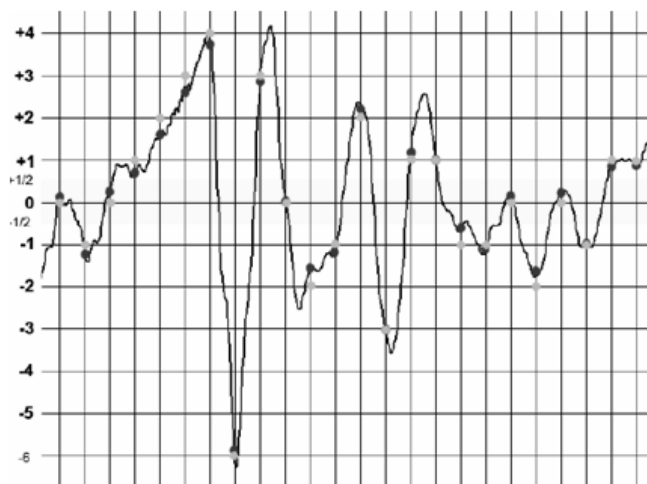
Pokud není podmínka Nyquistova teorému dodržena, dochází k tzv. aliasingu, což je zkreslení signálu vlivem jeho podvzorkování. Aliasing může vzniknout nevhodně zvolenou vzorkovací frekvencí pro daný signál, nebo nežádoucím přidáním rušivých signálů o vysoké frekvenci. Této chybě se zamezuje přidáním antialiasing filtru do obvodu před vstupem převodníku. Jedná se o filtr typu dolní propust.

2.2 Kvantizace a kódování

Kvantizace je následujícím krokem po vzorkování signálu. Každému odebranému vzorku se přiřadí náležitá hodnota na svislé ose, nazývaná kvantizační úroveň. Tato úroveň zastupuje skutečnou amplitudu signálu.

N-bitový A/D převodník má 2^n kvantizačních úrovní. Z tohoto poznatku je možné pomocí příkladu ukázat, jak lze zjistit rozlišení převodníku. Pro 10V vstupní signál je využit 8 bitový a 24 bitový A/D převodník. První převodník má tedy z předchozího vztahu 256 kvantizačních úrovní, zatímco druhý již 16777216. Pro 10V vstupní signál je tedy rozlišení prvního převodníku přibližně 30mV, zatímco u druhého je to 0,6μV.

[1]



Obr. 2: Přiřazení kvantizačních úrovní odebraným vzorkům. [1]

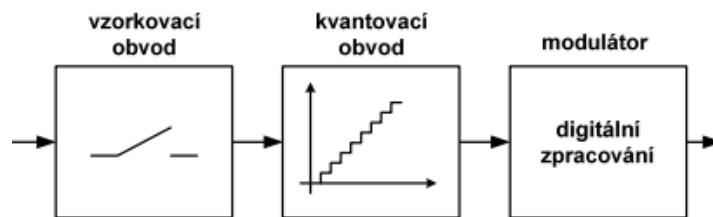
Posledním krokem po přiřazení kvantizačních úrovní je kódování, kdy se každé této úrovni přiřadí číselná hodnota, kterým může být například přímý binární kód, inverzní a doplňkový, nebo také BCD kódy.

2.2.1 Kvantizační chyba

Je to chyba způsobená rozlišitelností převodníku. Při přiřazování kvantizačních úrovní dochází k nepřesnostem, které jsou způsobeny tím, že vzorek nacházející se mezi dvěma úrovněmi je přiřazen k nejbližší kvantizační hladině. Pokud je tedy rozlišitelnost (počet kvantizačních úrovní) malá, dochází k výraznému zkreslení signálu. Naopak, čím větší počet kvantizačních úrovní má převodník k dispozici pro svůj rozsah, tím více tato chyba klesá, ale pro efektivní využití je potřeba vstupní signál kvalitně zpracovat.

3A/D a D/A převodníky

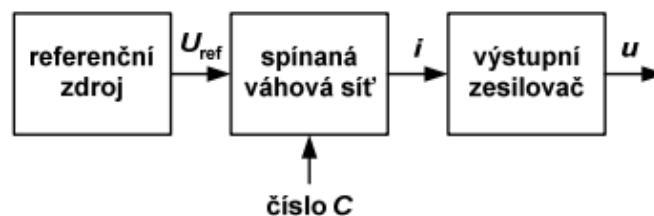
A/D převodník obecně je elektronické zařízení, ve kterém dochází k přeměně vstupního signálu spojitého v čase na posloupnost kódu diskrétního v čase i úrovni, který je poté vhodný pro další zpracování a analýzu. Vstupní signál se porovnává s referenčním napětím a je získán odpovídající číselný údaj. Referenční napětí tedy určuje také napět'ový rozsah vstupního analogového signálu. Před samotným převodníkem se také obvykle nachází antialiasing filtr, jehož úlohou je potlačení kmitočtů, vlivem kterých by nebylo splněno vzorkovací kritérium, popřípadě pak další obvody.



Obr. 3: Zjednodušené blokové schéma A/D převodníku. [3]

D/A převodník převádí vstupní číslicový údaj na napětí. Analogový signál je odvozen od referenčního napětí v závislosti na váze číslicového údaje. Přesnost referenčního napětí je velmi důležitý parametr pro rozlišitelnost převodníku. Referenční zdroje mohou být také proudové, na tyto ovšem není tato práce zaměřena.

[2]



Obr. 4: Zjednodušené blokové schéma D/A převodníku. [3]

3.1 Základní parametry převodníků

Převodníky jsou popsány řadou technických specifikací. Správný výběr převodníku pro danou aplikaci je velmi důležitý a je proto nutné znát alespoň základní parametry poukazující na jejich vlastnosti.

3.1.1 Statické parametry

Statické parametry převodníků určujeme z převodní charakteristiky a patří zde například:

1. Posuv nuly (offset error) – Je to rozdíl mezi nominálním a aktuálním umístěním nuly. Následkem toho jsou ovšem posunuty všechny hodnoty o stejnou velikost a proto je možné tento rozdíl kompenzovat.
2. Chyba zesílení (gain error)- Jedná se o rozdíl mezi nominálním a skutečným zesílením, bez vlivu posuvu nuly.
3. Chyba linearity (nonlinearity error)- Převodní charakteristika je u ideálního převodníku přímková. Reálné převodníky mají ovšem tuto charakteristiku nelineární. Zde může dokonce dojít ke ztrátě bitu kódu (missing code). Tuto chybu můžeme také rozdělit na *integrální nelinearitu INL*, což je chyba způsobená rozdílem skutečného průběhu charakteristiky od vytvořené přímkové charakteristiky a *diferenciální nelinearitu DNL*, která je na číslicovém schodovitém výstupu a je dána rozdílem mezi šířkou reálného schodovitého průběhu a velikostí 1LSB.
4. Doba převodu- Je to celková doba potřebná k převodu jednoho vzorku signálu.
5. Rozlišení převodníku- Rozlišení již bylo popsáno v předešlé kapitole a je dáno počtem bitů převodníku a tedy i počtem kvantizačních hladin. Díky většího počtu bitů připadá na jednu kvantizační hladinu nižší napěťový přírůstek.

[2], [3]

3.1.2 Dynamické parametry

Dynamické parametry určujeme z kmitočtového spektra. Zde jsou nejdůležitější vybrané vlastnosti:

1. Odstup signál/šum SNR (Signal to Noise Ratio)- Je to šum zaviněný kvantizací. Jedná se o chybu na úrovni $\pm 1/2\text{LSB}$ se stejnou pravděpodobností výskytu. Jeho velikost určujeme vztahem (3).

$$SNR = 6,02 \cdot n + 1,76 \text{ [dB]} \quad (3)$$

Tento vztah platí pro harmonický signál při vzorkování podle Nyquistova kritéria.

2. Celkové harmonické zkreslení THD (Total Harmonic Distortion)- Je dáno vztahem (4).

$$THD = 20 \cdot \log_{10} \left(\sqrt{U_2^2 + U_3^2 + \dots + U_n^2} / U_1 \right) \text{ [%]} \quad (4)$$

3. Odstup signál/šum + Harmonické zkreslení SINAD (Signal to Noise Ratio And Distortion)- Je to kombinace poměru signál/šum a specifikace harmonického zkreslení. Je ukazatelem dynamických vlastností převodníku (5).

$$SINAD = -20 \cdot \log \sqrt{10^{-SNR/10} + 10^{THD/10}} = 10 \cdot \log \frac{P_S}{P_S + P_{zkr}} [dB] \quad (5)$$

4. Efektivní počet bitů ENOB (Effective Number Of Bits)- Skutečný využitelný počet bitů převodníku je vždy menší než udávaný. Se znalostí SINAD je možné jej vypočítat ze vztahu (6).

$$ENOB = \frac{SINAD - 1,76}{6,02} < n \quad (6)$$

[2]

3.2 Architektury A/D převodníků

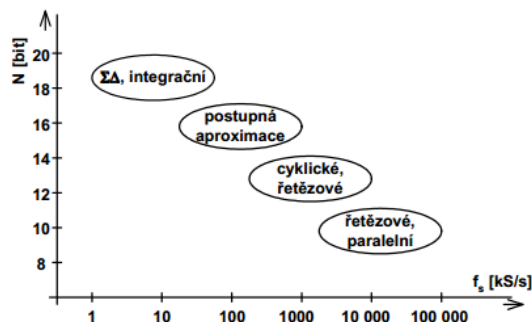
Každá aplikace vyžaduje rozdílné parametry převodu a proto je potřeba vždy dopředu zvážit požadavky na převod a až poté vybírat vhodnou architekturu. Zde je dobré držet se základních otázek, které tento výběr usnadní:

- Požadovaná rychlost převodu
- Rozlišení v bitech
- Parametry vstupního analogového signálu a vstupů převodníku
- Vlastnosti prostředí, ve kterém bude převodník pracovat
- Minimální počet kanálů
- Možnost využití pouze externí či také interní reference
- Způsob přenosu výstupního číslicového signálu

Samotné dělení převodníků je možné provádět dle několika hledisek:

- Princip převodu – komparační převodníky, kompenzační, delta-sigma aj.
- Synchronizace – zde je možné převodníky rozdělit na synchronní, kde jsou jednotlivé kroky převodu řízeny hodinovým signálem a na asynchronní, kde doba převodu závisí na zpoždění vnitřních obvodů během převodu.
- Linearita – za lineární převodníky jsou považovány takové, kde je výstupní číslicový signál lineárně závislý na vstupním analogovém.

[2]



Obr. 5: Graf závislosti rozlišení na rychlosti převodu. [3]

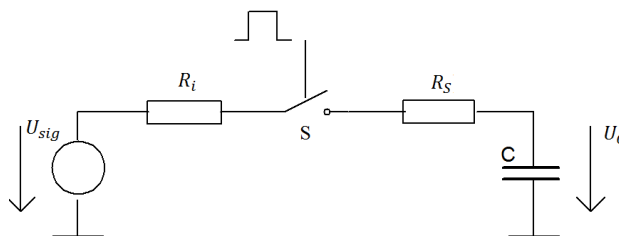
Z Obr. 5 je patrné, že má rozlišovací schopnost převodníku obvykle podstatný vliv na rychlost převodu.

Nepostradatelnou součástí převodníku je tzv. *vzorkovací obvod* (S&H). Tento obvod je zjednodušeně složen ze spínače, který má v sepnutém stavu odpor R_S a z kondenzátoru C . Původní napětí kondenzátoru je U_{C0} . Po sepnutí dojde k rychlému nabití dle vztahu (7) a jeho postupnému pomalému vybíjení do zátěže. Tento vzorkovací obvod bývá zpravidla již integrován v IO převodníku, vyrábí se však také jako externí.

[2]

$$U_C(t) = U_{C0} + (U_{sig} - U_{C0}) \cdot (1 - e^{-\frac{t}{\tau}}) [V] \quad (7)$$

$$\tau = (R_i + R_S) \cdot C [s] \quad (8)$$



Obr. 6: Zjednodušené schéma vzorkovacího obvodu. [2]

Další důležitou částí převodníku je komparátor, který má za úkol porovnávat dvě úrovně signálu s referenčním napětím. Výsledkem je výstupní logická hodnota 0 či 1.

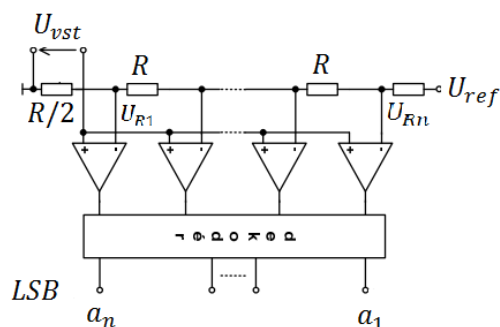
Existuje vícero možných zapojení, z nichž se každé hodí pro různé druhy aplikací. V následující kapitole budou zjednodušeně popsány pouze vybrané nejčastěji využívané architektury A/D převodníků spolu s popisem jejich nejčastějšího využití.

3.2.1 Komparační převodníky

Tento typ převodníků převádí vstupní analogový signál, který je zde přímo porovnáván s referenčním napětím pomocí komparátoru, jehož výstupem je dvoustavová hodnota, tedy logická 1 či 0.

1. Paralelní A/D převodníky (Flash ADC) – Největší výhodou těchto převodníků je jejich značná rychlost. Napětí, které je přivedeno na vstup, je ihned pomocí komparátoru porovnáno s napětím referenčním a na jeho výstupu může být pouze logická 1 či 0. Pracují tedy s velmi malým zpožděním. Komparátory jsou zapojeny paralelně a celých n bitů (dle rozlišení převodníku) je porovnáno najednou. Na druhou stranu jelikož je samozřejmě potřeba $2^n - 1$ komparátorů, vzrůstá jak složitost výroby, tak také spotřeba. Tento druh převodníků se tedy vyrábí s rozlišením maximálně 10bitů. Využití nalézají ve vojenských a satelitních aplikacích, kde je vyžadována velká rychlost převodu.

[2], [3]

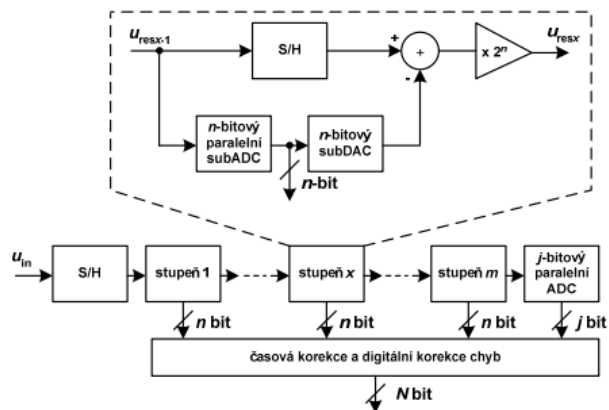


Obr. 7: Schéma zapojení paralelního A/D převodníku. [3]

Vstupní napětí je přivedeno na neinvertující vstup komparátorů. Na invertující vstup každého komparátoru je přivedena část referenčního napětí, vytvořená odporovými děliči, které reprezentují danou kvantizační hladinu. Po porovnání jsou výstupy komparátorů připojeny na dekodér, který je převede do číslíkové hodnoty.

2. Řetězové A/D převodníky (Pipeline flash ADC) – Převodník pracující na tomto principu využívá řetězově zapojené bloky. Každý tento blok se skládá ze vzorkovacího obvodu S&H, ADC a DAC. Princip funkce spočívá v tom, že je v prvním bloku vstupní signál vzorkován a pomocí ADC je převedena pouze část nejvýznamnějších bitů. Tento již číslíkový signál je veden do obvodu pro korekci chyb a dále do DAC, kde je zpětně převedený signál odečten od vstupního napětí. Tento zůstatek pokračuje po zesílení do dalšího bloku a celý postup se opakuje až do doby, kdy jsou převedeny bity s nejnižší vahou. Výhodou je tedy menší náročnost konstrukce, jelikož nároky na rozlišení převodníků v jednotlivých blocích postupně klesá. Využívají se například ve zdravotnické technice, komunikační technice aj.

[2], [3]

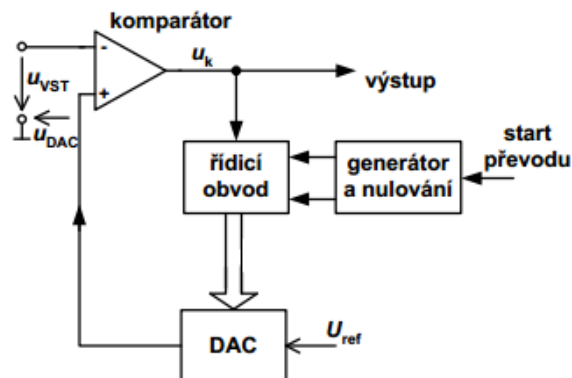


Obr. 8: Schéma zapojení řetězového převodníku. [3]

3.2.2 Kompenzační převodníky

Dalším používaným typem architektury převodníků jsou zapojení se zpětnou vazbou, tzv. *kompenzační*. Tyto převodníky obsahují na vstupu vzorkovací obvod, jelikož nesmí docházet ke změně napětí během převodu a zpětnou vazbu pomocí DAC.

1. A/D převodník s postupnou aproximací (Successive Approximation Register ADC) – Tento typ je v současné době velmi rozšířený. Jejich využití je poměrně široké, vyrábí se s velkým rozsahem rozlišení i vzorkovacím kmitočtem. Zpětná vazba má zde odstupňovaný přírůstek.



Obr. 9: Schéma zapojení převodníku s postupnou aproximací. [3]

Jakmile dojde k začátku převodu, je ze vstupního signálu v daný okamžik odebrán a zapamatován vzorek pomocí vzorkovacího obvodu a dojde k vynulování aproximačního registru, kromě bitu MSB, kterému je přiřazena logická 1. Toto nastavení se převede pomocí D/A převodníku na napětí odpovídající dané váze U_{DAC} a je porovnáno v komparátoru s napětím vstupním. Pokud je vstupní napětí větší než U_{DAC} , je na této pozici i nadále logická 1. V opačném případě zde bude nastavena log. 0. Převod dále pokračuje nastavením logické 1 u bitu s nižší vahou a

testování se opakuje. Tento postup má tolik taktů, kolika bitový je převodník a během něj dochází k postupnému dosažení správné hodnoty tím, že je otestován i bit s nejnižší vahou LSB.

[2], [3]

Z popisu vyplývá, že n -bitový převodník vyžaduje n porovnání. Podstatné u tohoto převodníku je, že nezáleží, v jaké části jeho rozsahu se nachází vstupní signál, doba převodu je vždy časově stejná.

2. Sledovací A/D převodník (Tracking ADC) – Tato architektura využívá konstantního přírůstku. Základní princip spočívá v porovnání vstupního signálu se signálem DAC pomocí komparátoru, který je připojen na up/down vratný čítač. Do čítače je také přiveden hodinový signál. V případě že je vstupní napětí komparátoru vyšší než U_{DAC} , dojde k přičítání hodinových impulzů. V opačném případě se impulzy odečítají. Výstup čítače je zapojen do DAC ale zároveň je z něj odvozena číslíková hodnota. Ze zapojení vyplývá, že reagují dobře pouze na pomalé změny signálu.

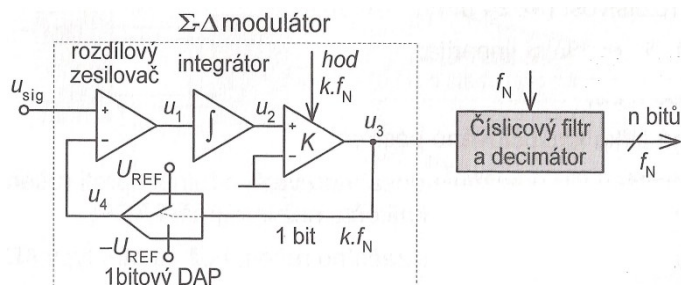
[2], [3]

3.2.3 Sigma – Delta převodníky ($\Sigma - \Delta$ converters)

Tento druh převodníků se vyznačuje vysokým rozlišením, až 24bitů, nízkou spotřebou a velkým potlačením kvantizačního rušení. Jejich využití je například v měřicí technice, kde zpracovávají výstupní signál ze senzorů. Tato architektura navíc nemá příliš vysoké nároky na antialiasing filtr. Převodník se skládá ze tří základních částí. Sigma – Delta modulátoru, číslíkového filtru a decimátoru.

Modulátor sigma – delta je základem celého systému. Tento modulátor je složen z analogového filtru s přenosem $H(f)$ – integrátoru, dále ze zpětné vazby obsahující D/A převodník, rozdílového zesilovače a komparátoru. Měřené napětí přivádíme na neinvertující vstup rozdílového zesilovače, na invertující vstup je přivedeno U_{REF} střídavě s \pm polaritou. Tento rozdíl je následně integrován a porovnáván komparátorem vůči zemi, tzn., že výstup z komparátoru je buď logická 1 či 0, což je dáno polaritou rozdílového napětí. Výstupní logická úroveň je poté zapsána do klopného obvodu typu D.

Princip funkce pro jednobitový převodník spočívá ve střídavé změně polarity referenčního napětí, které se přivádí na vstup rozdílového zesilovače. Pokud je vstupní signál konstantní, je výstup z integrátoru lineárně stoupající i klesající a logické 1 na výstupu komparátoru se pravidelně střídají s logickou 0. Pokud nastane, že se vstupní signál zvyšuje směrem k $+U_{REF}$ dojde k zvýšení počtu logických 1 v posloupnosti. V případě, že vstupní signál klesá směrem k $-U_{REF}$ je situace opačná a v posloupnosti se zvýší počet logických 0. Výstup modulátoru je posloupnost bitů, tzv. *Bitstream*.



Obr. 10: Schéma zapojení $\Sigma - \Delta$ převodníku. [2]

Digitální filtr a decimátor poté z posloupnosti vytváří n bitový údaj průměrováním a odstraněním vysokofrekvenční složky. U této architektury se využívá převzorkování, neboli *Oversampling*. Vzorkovací kmitočet je o mnoho vyšší než u ostatních druhů převodníků, jelikož je potřeba získat výslednou posloupnost s co nejmenší chybou.

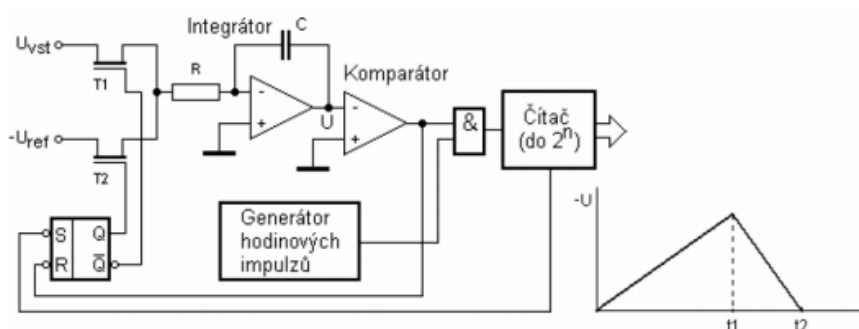
[2], [3]

3.2.4 Převodník s dvojitou integrací

Tento převodník pracuje na nepřímém principu. Vstupní analogové napětí je převedeno na dobu trvání elektrického signálu, zprostředkovaného obvodem převodníku. Délka trvání je zaznamenána pomocí čítače, z jehož výstupu je možné odvodit, jakou hodnotu měl v daný okamžik vstupní signál.

Samotný převod se uskutečňuje ve dvou fázích. V první fázi je sepnut spínač T1 a integruje se tedy kladné vstupní napětí. Tento děj probíhá z času 0 do času t_1 . Tento integrovaný signál vstupuje do komparátoru, jehož druhý vstup je přiveden k zemi. Na výstupu komparátoru je tedy logická 1 a pomocí AND hradla jsou na vstup čítače přivedeny hodinové impulzy. Po naplnění čítače dojde k překlacení RS obvodu a změně sepnutých spínačů. Na vstup komparátoru je tedy přivedeno záporné U_{REF} . Děj probíhá v čase t_1 až t_2 . Jakmile je napětí integrátoru nulové, je na výstupu komparátoru logická 0 a vlivem AND hradla dojde k zastavení čítání. Tento převodník je velmi využíván v měřicích přístrojích, jeho nevýhodou je delší doba převodu, závislá na vstupním napětí.

[5]



Obr. 11: Schéma zapojení převodníku s dvojitou integrací. [5]

3.3 Architektury D/A převodníků

Jak už bylo popsáno, D/A převodník převádí číslicový signál do analogové podoby. Může být využit jako zařízení pro zpětný převod po určité úpravě signálu, ale jeho využití je například také pro generování různě tvarovaných analogových signálů. Mohou jimi být harmonické ale i jiné průběhy. [2]

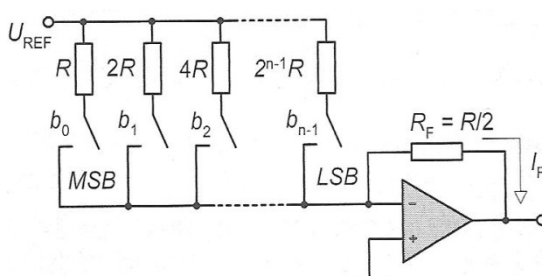
Základem pro jeho funkci je zdroj referenčního napětí, od kterého je odvozen celkový napěťový rozsah převodníku. V této kapitole budou stručně vysvětleny dva základní principy zapojení pro převod z číslicové do analogové podoby. Jsou to převodníky s váhovými proudy a s odporovou sítí R-2R. Existují však i další varianty, jako například delta-sigma převodníky, nábojové převodníky a zapojení R-2R v proudovém režimu.

3.3.1 D/A převodník s váhovými proudy

Jedná se o paralelní DAC. Obvod tohoto D/A převodníku se skládá z n váhových rezistorů s odstupňovanou hodnotou v poměru $1:2:4:\dots:2^{n-1}$. Sepnutí spínačů v obvodu je dáno vstupním datovým slovem. Na základě spojení v dané části obvodu, se pomocí odporů generuje z referenčního napětí váhový proud. Přidáním převodníku proudu na napětí je takto možné získat výstupní napětí, které je poté dáno odvozeným vztahem (9), kde koeficienty b jsou koeficienty s hodnotou 1 či 0, kde b_0 značí MSB.

$$u = -U_{REF} \cdot (b_0 \cdot 2^{-1} + b_1 \cdot 2^{-2} + \dots + b_n \cdot 2^{-n}) [V] \quad (9)$$

Nevýhodou těchto převodníků je nesteromerné zatížení referenčního zdroje. Výhodou je naopak jejich jednoduchost.



Obr. 12: Zapojení D/A převodníku s váhovými proudy. [2]

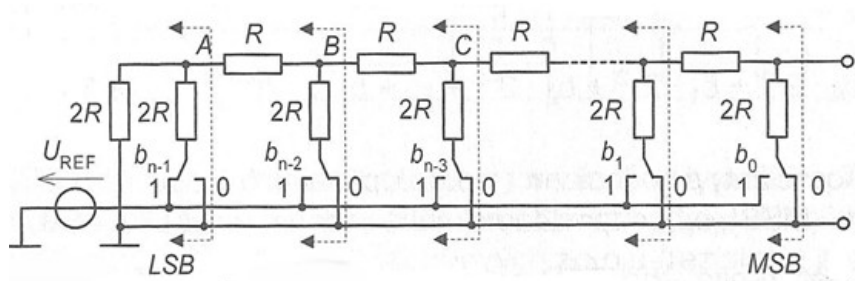
3.3.2 D/A převodník s odporovou sítí R-2R

Tento druh převodníku využívá pouze dvě velikosti odporů a je možné jej realizovat v režimu napěťovém či proudovém. V napěťovém režimu je viditelné, že struktura má uspořádání vytvořené tak, že sepnutím každého dalšího váhového spínače směrem od MSB, je hodnota přírůstku každého dalšího bitu poloviční napětí oproti bitu předcházejícímu. Celková velikost výstupního napětí je dána

vztahem (10). Tento napěťový režim se vyznačuje nezávislou výstupní impedancí na kombinaci bitů binárního kódu.

[2]

$$u = U_{REF} \cdot \sum_{i=0}^{n-1} b_i \cdot \left(\frac{1}{2}\right)^{(i+1)} [V] \quad (10)$$



Obr. 13: Zapojení D/A převodníku s odporovou sítí R-2R. [2]

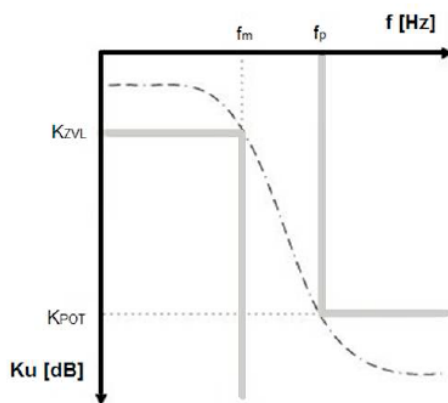
4 Vstupní a výstupní obvody převodníků

Jak A/D, tak i D/A převodníky potřebují pro svou funkci další periferní obvody. Mezi takové obvody můžeme například zařadit zdroje referenčního napětí, popř. proudu, vstupní a výstupní kmitočtové filtry, převážně typu dolní propust. Dále pak stabilizaci napájecího napětí a řízení převodu. Důležitým prvkem je u některých převodníků také impedanční přizpůsobení vstupního signálu a jeho zesílení. Tato kapitola pojednává o těchto periferních obvodech.

4.1 Kmitočtové filtry

Téma kmitočtových filtrů je velmi rozsáhlou problematikou. Tato kapitola se jimi zabývá pouze zjednodušeně. Kmitočtové, (selektivní) filtry můžeme rozdělit do několika kategorií. Základním dělením je dle jejich kmitočtové charakteristiky, která zjednodušeně udává, pro jakou frekvenci signálu je filtr propustný a kterou naopak utlumí. Obecně je můžeme rozdělit na filtry typu dolní propust (DP), horní propust (HP), pásmovou propust (PP) a pásmovou zádrž (PZ), přičemž každý má v praxi své využití. Dále pak na filtry pasivní, obsahující pouze pasivní prvky (R,L,C) a filtry aktivní obsahující také prvek aktivní (OZ).

Velmi podstatným filtračním prvkem, který se zařazuje před A/D převodník je antialiasing filtr, který slouží k potlačení vstupních frekvencí vyšších než je polovina vzorkovací frekvence převodníku tak, aby bylo dodrženo vzorkovací kritérium. Brání tedy podvzorkování. Jedná se vlastně o filtr typu dolní propust, která ovšem v reálných podmínkách nemá svou charakteristiku nekonečně strmou. Strmost klesání přenosu filtru určuje jeho řád. Kmitočtová charakteristika se dá rozdělit do několika částí.



Obr. 14: Důležité parametry frekvenční charakteristiky filtru. [10]

Zde jsou pro nás důležité parametry K_{POT} určující nutné potlačení přenosu pro kmitočty vyšší než f_p (kmitočet potlačení, u A/D převodníku je to polovina f_s) a f_m značící mezní frekvenci, pro kterou

je útlum přenosu 3dB. K_{POT} by pro správnou funkci převodníku měl být nižší, než polovina amplitudy LSB bitu. Pro n-bitový převodník jej lze vypočítat ze vztahu (11).

[10]

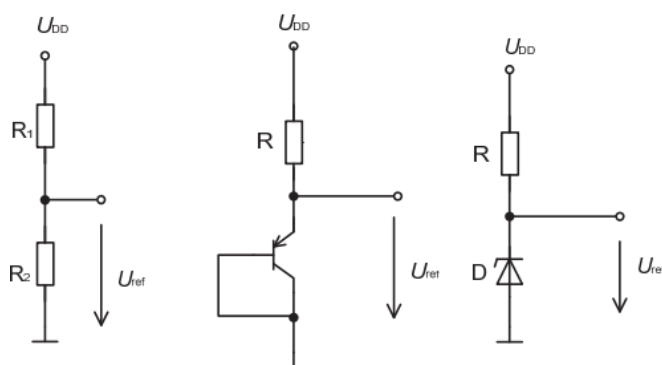
$$K_{POT} = 6 \cdot (n + 1) [dB] \quad (11)$$

Dále je důležitý správný výběr aproximace přenosové funkce. Volí se v závislosti na konkrétním řešení a udává strmou útlumu přenosu a zvlnění v propustném, popř. nepropustném pásmu. Nejčastějšími jsou:

1. *Besselova* - S velmi malým zvlněním v propustném pásmu ale nejméně strmou frekvenční charakteristikou.
2. *Čebyševova* – Vyznačuje se nejstrmější charakteristikou ale vysokým zvlněním v propustné oblasti.
3. *Butterworthova* – Jedná se o kompromis mezi předchozími aproximacemi.

4.2 Zdroje referenčního napětí

Zdroje referenčního napětí jsou pro uskutečnění přenosu zcela nepostradatelným prvkem. Tento zdroj by měl veličinu dodávat stabilně, bez ohledu na okolní podmínky jako zákmit napájecího napětí a teplota okolí. Nejjednodušším zdrojem referenčního napětí může být odporový dělič, který je ale zcela závislý na přivedeném napětí, což je velmi nevýhodné. Využívá se tedy složitějších zapojení, jakými může být rezistor-bipolární tranzistor anebo využití závěrné charakteristiky stabilizační diody. V současné době existuje na trhu také celá řada zdrojů referenčního napětí v IO, které se vyznačují velmi malým teplotním koeficientem, malou cenou, a svou přesností. V číslicových obvodech je nalezneme velmi často.



Obr. 15: Ukázka možných jednoduchých zapojení napět'ové reference. [12]

Tyto zdroje mohou být dle typu A/D, D/A převodníku přivedeny externě, nebo jsou přímo součástí jejich vnitřní struktury.

4.3 Ostatní obvody

Zatímco předešlé obvody jsou velmi často nedílnou součástí většiny převodníků, další zapojení se velmi liší dle konkrétního výrobku a jeho vnitřního uspořádání. V této kapitole budou shrnuty nejčastější z nich.

Některé A/D převodníky mají zabudovaný vstupní oddělovací zesilovač tzv. *buffer* s vysokou vstupní impedancí. Zde nejsou kladeny přílišné požadavky na vstupní obvody převodníku. V případech, že převodník není bufferem vybaven, je většinou potřeba vstupní obvod opatřit například operačním zesilovačem s vysokou vstupní impedancí, alespoň v zapojení buď napětového sledovače, či se zpětnou vazbou umožňující také zesílení. To ovšem platí u převodníku s nesymetrickými vstupy, kdy je vstupní signál vztažen vůči zemi. V dnešní době se velmi často v měřicích aplikacích využívá převodníků se vstupy rozdílovými. Ty se vykazují dobrým potlačením souhlasné rušivé složky. Zde je potřeba využít například zapojení OZ se symetrickým výstupem. U D/A převodníků se využívá výstupní oddělovací zesilovač, který může být integrován na čipu, nebo zapojen externě. Dále pak může být využit výstupní DP filtr potlačující rušivý kmitočet hodinových impulsů.

[2]

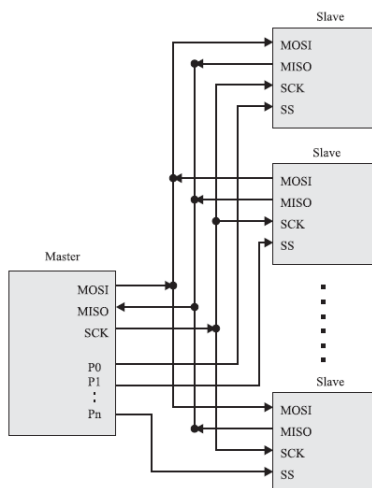
5 SPI rozhraní

Datová komunikace může být realizována mnoha způsoby. Může to být paralelní či sériová komunikace a také asynchronní či synchronní. SPI, je druh sériové komunikace, která se využívá ke komunikaci mezi integrovanými obvody, kterými mohou být například také A/D a D/A převodníky. SPI rozhraní může spojovat více obvodů pomocí řídicího vodiče. Jeden tento obvod je typu MASTER a ostatní obvody typu SLAVE. Komunikace se poté uskutečňuje nejčastěji prostřednictvím čtyř vodičů, ale jednotlivá zařízení mohou mít toto uspořádání vzhledem ke své funkci mírně odlišné. Zde jsou popsány základní druhy vodičů, kterých tento druh komunikace využívá.

1. MOSI (Master Out, Slave In) – Jedná se o datový výstup zařízení MASTER připojený ke všem zařízením typu SLAVE.
2. MISO (Master IN, Slave OUT) – Slouží jako výstup ze SLAVE a vstup do zařízení MASTER.
3. SCLK (Serial Clock) - Hodinový signál je připojen na všechny zařízení typu SLAVE.
4. SS (Slave Select)- Tento vodič vybírá zařízení, se kterým se v danou chvíli komunikuje. Pokud není aktivní, vyznačuje se MISO vysokou impedancí.

V danou chvíli komunikuje zařízení MASTER vždy s jedním zařízením SLAVE. Oba tyto obvody obsahují posuvné registry, které jsou posouvány generovaným hodinovým signálem SCLK ze zařízení MASTER a mohou reagovat na náběžnou i sestupnou hranu. Dochází vždy k odeslání jednoho MSB bitu z registru MASTER do SLAVE a zároveň k příjmu bitu ze zařízení SLAVE, který se zařadí na konec posuvného registru MASTER. Přenos je plně synchronní a odeslání/příjmu bitu se děje ve stejný časový okamžik. Po naplnění daného registru dojde k jeho překlopení do paralelně zapojeného záchytného registru, odkud se datový paket může dále zpracovat.

[13]



Obr. 16: Typické zapojení komunikace pomocí SPI. [13]

6 Charakteristika FPGA

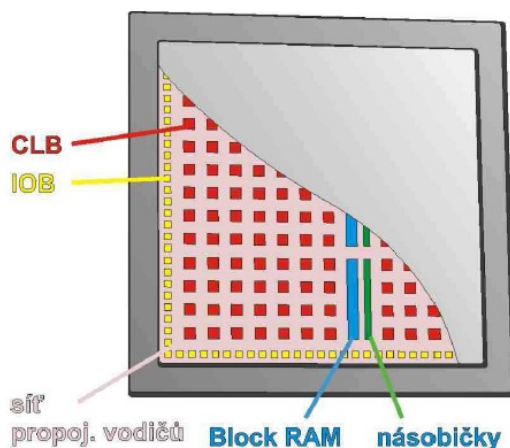
Programovatelné součástky lze obecně nazvat PLD. Ty mohou být děleny na klasické a komplexní PLD obvody, dále pak na obvody FPGA, kterými se tato práce zabývá. Jedná se o integrovaný obvod skládající se z maticové struktury logických prvků. Prvky jsou vzájemně propojeny pomocí sítě vodičů, jejichž výhodou je libovolná konfigurace pomocí programovatelných spínačů. Takto je možné dosáhnout požadovaného zapojení. Zde je vhodné uvést pojem systémové hradlo. Je to jednotka, která vyjadřuje množství logiky a je ekvivalentem dvouvstupového logického součinnového hradla. FPGA obvody jsou velmi výhodné v mnoha aplikacích díky svému velkému výpočetnímu výkonu a možnosti změnit hardwarovou konfiguraci v případě zdokonalení algoritmu.

[11]

6.1 Základní princip funkce

Architektura FPGA se skládá z několika částí. Je zde obsažena matice logických bloků CLB (Configurable Logic Device). Bloky jsou mezi sebou spojeny pomocí propojovacích vodičů (Routing channels). Dále zde nalezneme vstupně/výstupní bloky IOB (Input / Output Block) jejichž velkou výhodou je, že jsou z velké části využitelné jako uživatelské. Udává se dokonce až 50%. Mimo tyto základní prvky zde najdeme také další obvody, jako např. bloky hodinového signálu aj.

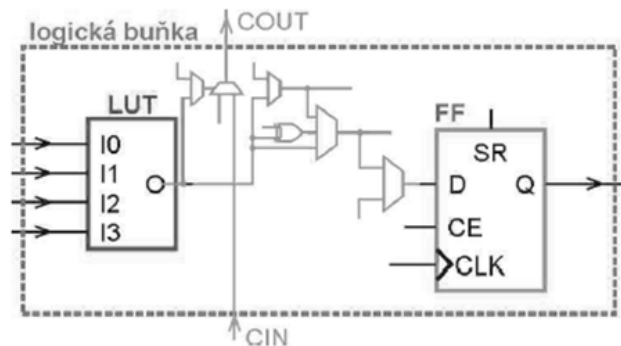
[11]



Obr. 17: Základní uspořádání bloků ve vnitřní struktuře FPGA.[11]

Bloky CLB jsou složeny z několika logických buněk (Logic cell) a každá tato buňka obsahuje prostředky pro tvorbu kombinační a sekvenční logiky. Kombinační logika je taková, kdy hodnota výstupu závisí na funkci obvodu a momentálním vstupu. Sekvenční logika se liší od kombinační tím, že její výstupní hodnota je závislá také na dřívějších vstupech. K tvorbě kombinační logiky slouží LUT (Look Up Table), do kterých je zapsána konfigurace. Pro tvorbu sekvenční logiky slouží konfigurovatelný klopný obvod typu D (Flipp-Flopp).

[11]

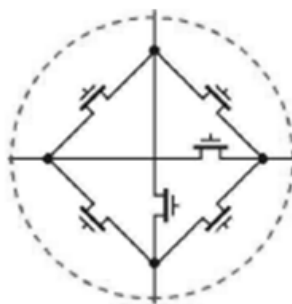


Obr. 18: Uspořádání jedné logické buňky v CLB bloku. [11]

Bloky IOB mohou být konfigurovány jako vstupní, výstupní nebo obousměrné. Skládají se ze tří částí. Vstupní, výstupní a třístavové signálové cesty. Každá z těchto cest obsahuje další dílčí obvody.

Síť tvořená spojením propojovacích vodičů obsahuje navíc bloky PSM, což je programovatelná spínací matice. PSM tvoří 6 tranzistorů vhodně uspořádaných tak, aby bylo možno vytvořit libovolnou strukturu propojovací sítě a tím získat co nejširší možnosti návrhu.

[11]



Obr. 19: PSM uspořádání propojovací sítě vodičů. [11]

Ke konfiguraci FPGA čipů se využívá programové vývojové prostředí. Provedena může být například prostřednictvím jazyka VHDL, Verilog, či schematickým popisem. Jelikož se nejedná o softwarovou implementaci požadované funkce ale přímo hardwarové uspořádání vnitřní struktury FPGA obvodu, řídí se tato konfigurace zcela odlišnou syntaxí. Díky této odlišnosti ale dokáží FPGA obvody pracovat s velkou rychlostí a velmi efektivně, jelikož mohou zpracovávat více příkazů paralelně v jeden časový okamžik.

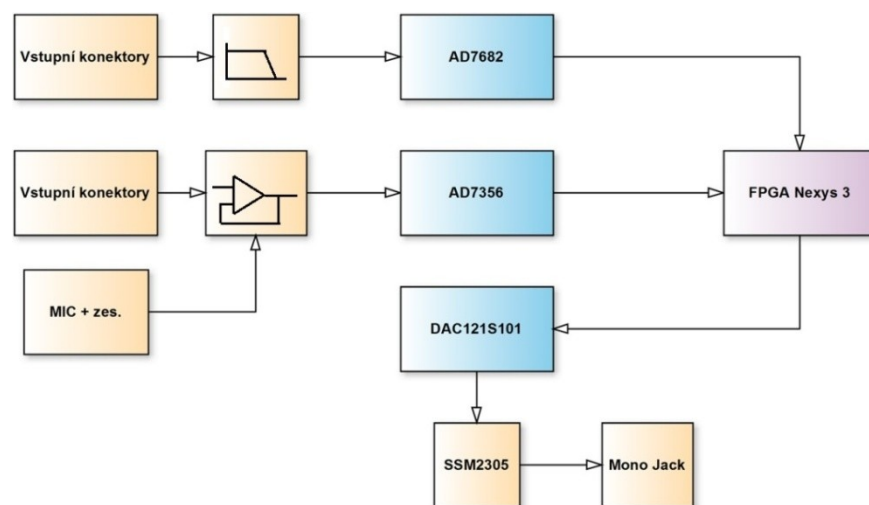
7 Návrh řešení a realizace

Před započítím samotného návrhu rozhraní, bylo nejprve potřeba stanovit si základní požadavky, které by mělo zařízení splňovat v rámci svého předpokládaného využití. Následujícím krokem byl výběr A/D a D/A převodníků pro tuto aplikaci. Jelikož bylo třeba opatřit tyto převodníky vhodnými periferními obvody, následoval výběr součástek a návrh celkového obvodového zapojení.

7.1 Základní specifikace rozhraní

Funkce navrhovaného rozhraní je rozšíření možností vývojové FPGA desky Nexys™3, firmy Digilent, o možnost zpracování vstupních analogových signálů. Rozhraní by mělo být využito pro výukové účely. Nejprve bylo potřeba stanovit základní technické požadavky, od kterých se odvíjí všechny další provedené kroky. Tyto požadavky byly specifikovány vedoucím práce a jsou uvedeny níže:

- Pro řídicí i datové signály jsou využity uživatelské konektory Pmod.
- Vzhledem ke zjednodušení manipulace s rozhraním a jednoduchosti obvodu je pro napájení celé desky využit napájecí pin Pmod konektoru, dodávající stabilizované napětí 3,3V.
- Využití rychlého A/D převodníku, schopného zpracovat vstupní signál v řádech MHz.
- Využití pomalejšího A/D převodníku s více-bitovým rozlišením.
- Oba druhy A/D převodníků by měly být vícekanálové.
- Možnost připojení mikrofonu s jednoduchým předzesilovačem na vstup A/D převodníku.
- Využití jednoduchého D/A převodníku s audio výstupem.
- Komunikace probíhající prostřednictvím sériového SPI rozhraní.

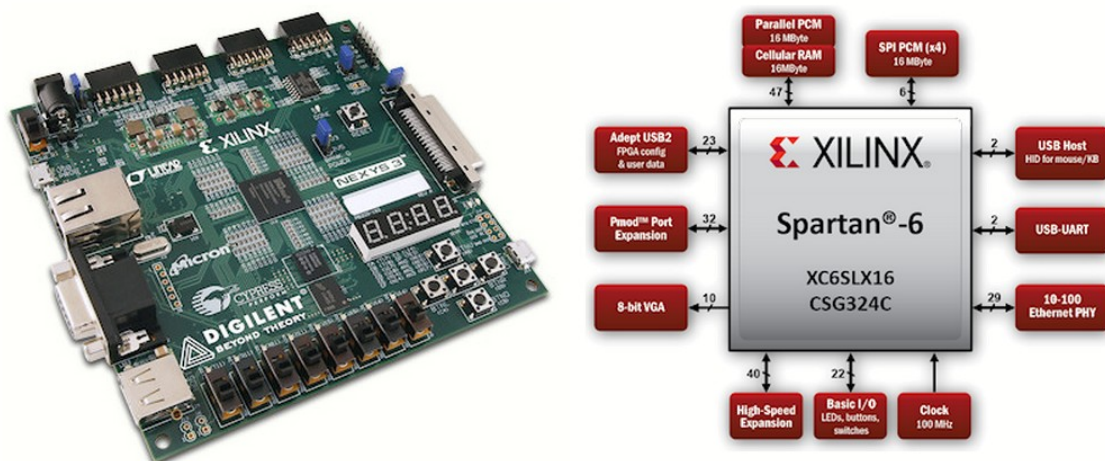


Obr. 20: Blokové schéma navrženého rozhraní.

Na základě těchto požadavků byl vytvořen předběžný návrh celého rozhraní, který byl ještě postupně upraven do konečné podoby, viditelné na Obr. 20. Rozhraní je možné pro lepší přehlednost rozdělit do základních funkčních bloků na vstupní obvody, převodníky a výstupní obvody. Tyto obvody jsou podrobně popsány v dalších kapitolách.

7.2 Základní charakteristika FPGA Nexys™3

Jak již bylo řečeno, navrhované rozhraní slouží pro využití vývojovou deskou FPGA Nexys™3. Tato deska je vybavena FPGA Spartan-6 XC6SLX16-CS324 firmy Xilinx.



Obr. 21:Nexys™3 [14]

Spartan 6 je poměrně novou řadou FPGA obvodů, která se oproti předchozím modelům vyznačuje velmi rozsáhlými logickými prostředky. Celá vývojová platforma má velkou kapacitu paměti a širokou škálu komunikačních rozhraní. K napájení a konfiguraci desky navíc stačí mít připojený konfigurační USB kabel zapojený do konektoru **Adept USB Port**, což výrazně ulehčuje obsluhu celé desky.

Tab. 1: Základní charakteristika Nexys™3. [14]

Xilinx Spartan6 XC6SLX16-CS324
16Mbyte MicronCellular RAM
16Mbyte MicronParallel PCM
16Mbyte MicronQuad-mode SPI PCM
10/100 SMSC LAN8710 PHY
Digilent Adept USB port for power, programming & data transfers
USB-UART
Type-A USB host for mouse, keyboard or memory stick
8-bit VGA
100MHz fixed-frequency oscillator
8 slideswitches, 5 pushbuttons, 4-digit 7seg display, 8 LEDs
Four double-wide Pmod™ connectors, one VHDC connector

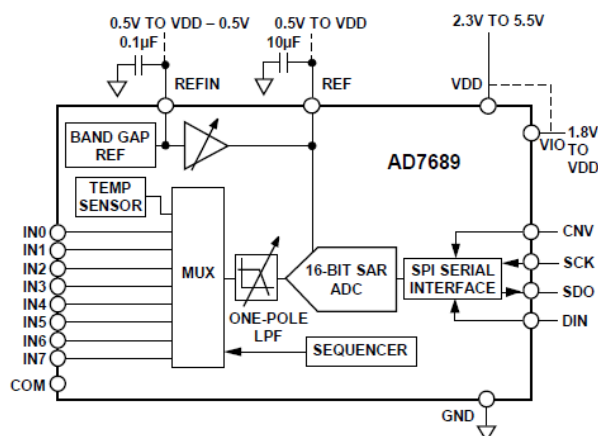
Connectors	Rugged plastic case, USB cable included
	USB2 Port
	High-speed 40-pin VHDCI expansion connector
	Four 12-pin Pmod™ connectors
	VGA
	10/100 Ethernet

7.3 Výběr převodníků

Výběr převodníků byl prvním a stěžejním krokem návrhu, od kterého se odvíjí, jaké další obvody je potřeba v návrhu využít. A/D převodníky jsou výrobkem firmy Analog Devices. Jelikož nebyl zadán požadavek na určitou architekturu, byly zvoleny dle toho, aby se co nejvíce blížily zadaným požadavkům a jejich cena nebyla příliš vysoká. Vzhledem ke snaze snížit pořizovací náklady, byla zvolena možnost bezplatného zaslání vzorků, což výrobce běžně v omezeném množství umožňuje. Nevýhodou je ovšem omezený výběr pouzdra součástek. Na D/A převodník nebyly kladeny žádné speciální požadavky, jedná se o výrobek firmy Texas Instruments.

7.3.1 A/D převodník AD7682

Tento 16 bitový A/D využívá architekturu postupné aproximace. K dispozici se zde nachází 4 vstupy, které mohou být využity pro *single ended* vstupní signál (signál vztažený vůči zemi), nebo mohou být vstupní konektory využity pro dva rozdílové signály, které se vyznačují možností potlačení souhlasného rušení, což je pro přesné měřicí aplikace výhodnější. Dále pak jako pseudobipolární.



Obr. 22: Blokové schéma převodníku AD7682. [6]

V převodníku je možnost využít 2,5V vnitřní referenční napětí. Při vyšším napájecím napětí je dokonce možné využít také 4,096V. Dále lze aktivovat vnitřní jednoduchý filtr DP. Napájení je realizováno nesymetricky o hodnotě 2,3 až 5,5V. Rychlost odběru vzorků je až 250KSPS, v závislosti na napájecím napětí. Převodník dále obsahuje 14 bitový registr pro inicializaci. Sběr dat je možné

nastavit do několika režimů. Ke komunikaci se využívají 4 vodiče. Při využití zapojení v režimu single ended je kódování převodníku binární. Piny napájecího a referenčního napětí jsou ošetřeny blokovacími kondenzátory, dle doporučení výrobce v katalogovém listu, kde jsou umístěny veškeré důležité informace.

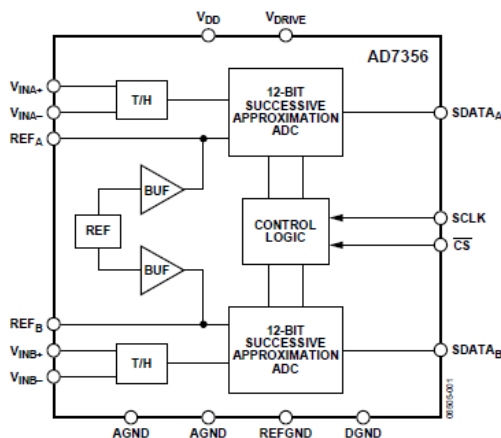
[6]

V prvotním návrhu byl nejprve využitý A/D převodník AD7792, pracující s rozlišením až 24 bitů. Nicméně vzhledem k velmi omezené vzorkovací frekvenci, která byla vhodná převážně pro měřicí účely a složitosti návrhu celkového obvodového řešení k zajištění správného převodu, při takto vysokém rozlišení, byla zvolena varianta s AD7682.

7.3.2 A/D převodník AD7356

Tento A/D převodník také využívá architekturu postupné aproximace. Jeho rozlišení je 12 bitů. Napájecí napětí je 2,5 V. K dispozici jsou dva rozdílové vstupy. Na Obr. 23 je viditelná vnitřní struktura převodníku, kde není k přepínání vstupů využitý multiplexor na přepínání vstupů, ale dva samostatné převodníky. I zde je možnost využití interního referenčního napětí 2,048V. Vzhledem k tomu že u tohoto převodníku není využito rozdílových vstupů, bude tedy vstupní analogové napětí i zde vztaženo k zemi. Napájení a piny referenčního napětí jsou ošetřeny blokovacími kondenzátory dle doporučení výrobce. Převodník může navíc pracovat ve třech režimech – Normal Mode, Partial Power Down Mode a Full Power Down Mode.

[7]

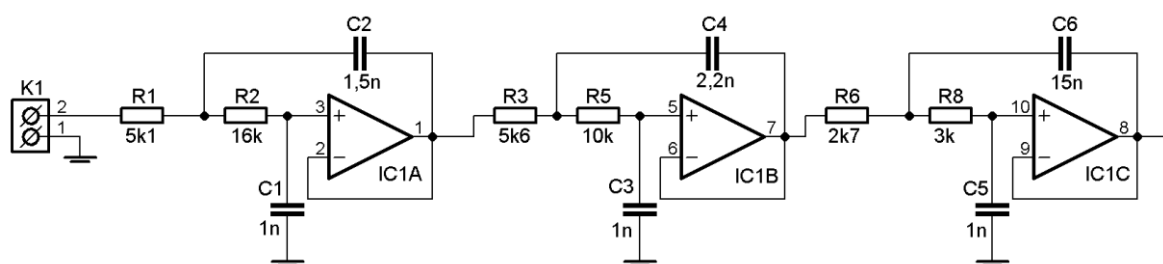


Obr. 23: Blokové schéma převodníku AD7682 [7]

Rychlost odběru vzorků je až 5MSPS a je tedy již poměrně vysoká. Napájecí napětí 2,5V je získáno pomocí stabilizátoru TPS79925, který je LDO, což je vzhledem k povaze napájecího napětí, které bylo v této práci pro rozhraní k dispozici, ideální řešení. Výstupní data převodníku jsou binární.

software pro návrh kaskádních aktivních filtrů WEBENCH®Active Filter Designer, firmy Texas Instruments. Tento software má k dispozici velmi podrobné nastavení všech základních parametrů filtru, a velmi kvalitní grafické rozhraní. Po návrhu byly hodnoty odporů filtru upraveny na takové, které jsou běžně dostupné. Záporná zpětná vazba zajišťuje zesílení 1, tedy napětí na výstupu je stejné jako napětí přivedené na vstup OZ. OZ tvoří zároveň i impedanční oddělení obvodu. Minimální úroveň potlačení přenosu byla vypočítána ze vztahu (11) uvedeného výše.

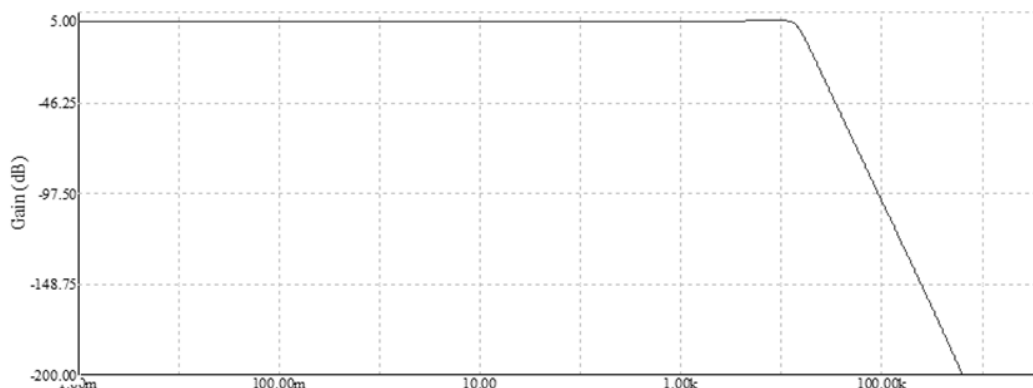
$$K_{POT} = 6 \cdot (n + 1) = 6 \cdot (16 + 1) = \underline{102 \text{ dB}}$$



Obr. 25: Obvodové zapojení ARC antialiasing filtru.

Při hledání vhodného aktivního prvku filtru – operačního zesilovače, bylo možné vybírat z velmi rozsáhlého množství produktů různých výrobců. Rozhodující pro tento výběr bylo, aby byl operační zesilovač napájen nesymetricky, což je pro využití napájecího napětí ideální řešení. Napájení tohoto typu OZ je běžně již od 2,7V. Naopak využití OZ s napájením symetrickým zde není uskutečněno, i když je jejich pořizovací cena nižší a to ze dvou důvodů. 3,3V které bylo možné pro OZ využít, je pro tyto OZ většinou hraniční a není tedy vhodné pro jejich správnou funkci. Dále by zde bylo nutné vytvořit záporné napětí, nejlépe pomocí vhodného IO. V prvotním návrhu k tomuto byl využit ICL7660. Záporné výstupní napětí tohoto obvodu bohužel kolísá s rostoucím odběrem a při větším zatížení jej není možné použít.

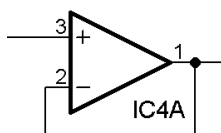
Zkreslení vstupního signálu musí být co nejmenší, a proto byly při výběru důležité také samotné vlastnosti OZ. V konečném řešení je zde využit MCP604, který se vyznačuje nízkou cenou, Rail-to-Rail výstupem, vysokým vstupním odporem a malým napěťovým proudovým i napěťovým offsetem. Výrobce jeho využití uvádí pro jeho vlastnosti mimo jiné právě pro tvorbu antialiasingových filtrů. Napájení OZ je ošetřeno blokovacími kondenzátory dle doporučení výrobce. Požadovaný tvar frekvenční charakteristiky byl ověřen pomocí volně dostupné trial verze simulačního programu Multisim. Po provedení simulace byla zjištěna mezní frekvence f_m o hodnotě přibližně 14,7kHz při poklesu přenosu o 3,47dB a frekvence potlačení f_p 102,3kHz při poklesu přenosu o 102,7dB, což odpovídá daným požadavkům.



Obr. 26: Frekvenční charakteristika filtru – simulace v programu Multisim.

7.4.2 Impedanční přizpůsobení – AD7356

Pro správnou funkci převodu pomocí AD7356 je potřeba zajistit přivedení vstupního signálu ze zdroje s nízkou impedancí. To není vždy v praxi možné a proto je potřeba zajistit impedanční přizpůsobení vstupů převodníku. K tomu je možné využít například operační zesilovač v zapojení napětového sledovače. Toto zapojení se vyznačuje zesílením 1 a je vzhledem k vlastnostem OZ k tomuto úkolu vhodné. Ideální OZ mají nekonečně velký vstupní odpor a naopak nulový výstupní odpor. Bohužel v praxi nelze tyto parametry získat, ale snažíme se jim alespoň co nejvíce přiblížit vhodnou volbou OZ.

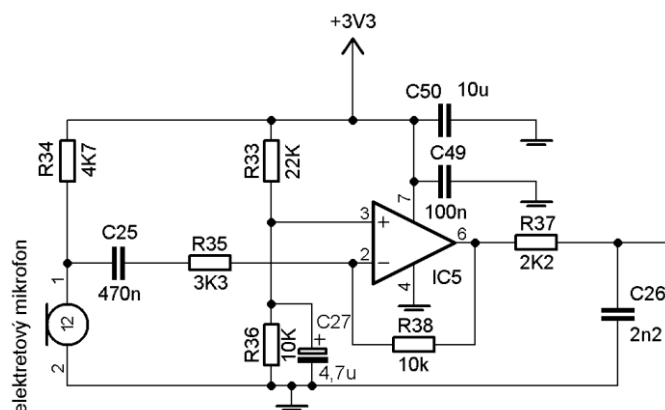


Obr. 27: Obvodové zapojení napětového sledovače.

Při výběru operačního zesilovače pro impedanční přizpůsobení vstupů převodníku byly hlavními kritérii zejména vysoký vstupní odpor a schopnost pracovat při vyšších kmitočtech. K tomuto účelu byl zvolen operační zesilovač ADA4891-2. Vstupní odpor zesilovače je $5\text{G}\Omega$, i zde je využito nesymetrické napájení a OZ je typu Rail-to-Rail. Napájení je ošetřeno blokovacími kondenzátory.

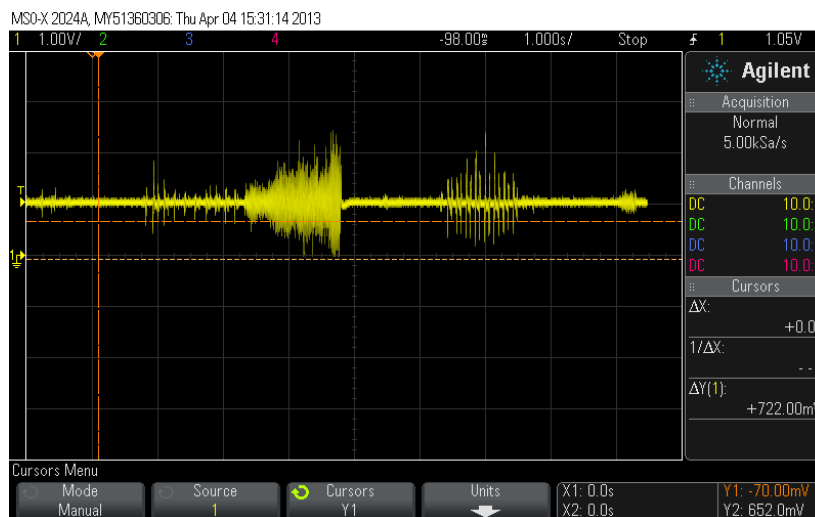
7.4.3 Mikrofonní předzesilovač

Jedním ze zadaných požadavků bylo opatřit rozhraní také elektretovým mikrofonom s předzesilovačem. Tímto se rozšíří jeho možnosti o příjem akustického signálu. K tomuto účelu byl vybrán elektretový mikrofón MCE101. Frekvenční rozsah je výrobcem udáván v rozmezí 50Hz až 16kHz. Původní zapojení předzesilovače bylo převzato z [15] a upraveno pro potřeby této práce. Zachovalo se pouze základní obvodové zapojení.



Obr. 28: Obvodové zapojení mikrofonního předzesilovače.

Napěťový dělič obsahující rezistory R_{33} a R_{36} o hodnotách $22\text{k}\Omega$ a $10\text{k}\Omega$ zajišťují, aby bylo klidové napětí na výstupu předzesilovače o hodnotě 1V . Nachází se tedy přibližně ve středu rozsahu převodníku. Další podstatná úprava spočívala ve výběru operačního zesilovače, vhodného pro nesymetrické napájecí napětí o hodnotě $3,3\text{V}$. Po porovnání dostupných možností byl pro své vlastnosti zvolen MCP601. Zpětnovazební rezistor R_{38} určující zesílení byl nastaven během pokusu v laboratoři na nepájivém kontaktním poli tak, aby byl co nejlépe využit rozsah převodníku. V případě potřeby je možné jeho hodnotu zvýšit. Na Obr. 29 je zaznamenáno výstupní napětí z předzesilovače pro různou intenzitu akustického buzení mikrofonu.

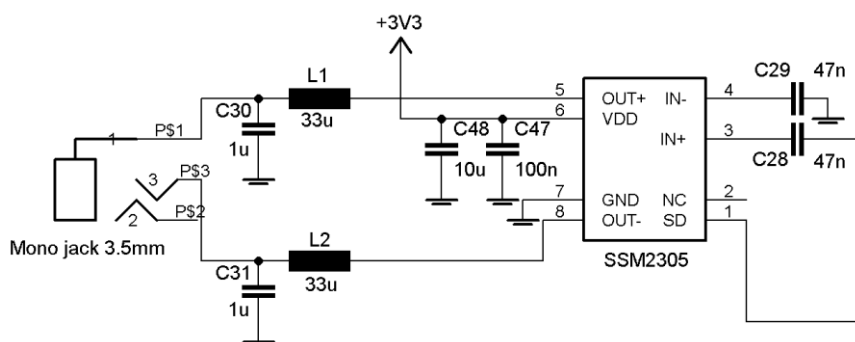


Obr. 29: Výstupní napětí mikrofonního předzesilovače při různé intenzitě zvuku.

7.4.4 Integrovaný obvod SSM2305 s audio výstupem

Tento integrovaný obvod slouží k zesílení výstupního analogového signálu D/A převodníku. Jedná se o zesilovač třídy D s $\Sigma - \Delta$ modulací. Tyto poměrně nové zesilovače se vyznačují velmi vysokou účinností, v současné době již také zkreslením srovnatelným s běžnými druhy zesilovačů a velmi malými rozměry. Jsou tedy vhodné například do přenosných zařízení. Součástka je navíc vybavena vstupem SD pro zastavení provozu, reagujícím na logickou nulu. Za tímto zesilovačem nalezneme LC filtr typu dolní propust, jehož hodnota byla zjištěna pro odpovídající druh zesilovače z [18]. Zapojení je zakončeno 3,5mm Mono jackem. Další výhodou SSM2305 je, že je možné přivádět na vstup zesilovače také Single ended signál. V závislosti na napájecím napětí a impedanci spotřebiče dosahuje výkonu až 2,8W. V konečném řešení byla za výstup D/A převodníku navíc přidána propojka, kterou je možno volit mezi připojením na tento zesilovač anebo přímým připojením na výstupní svorkovnici pro snímání napětí.

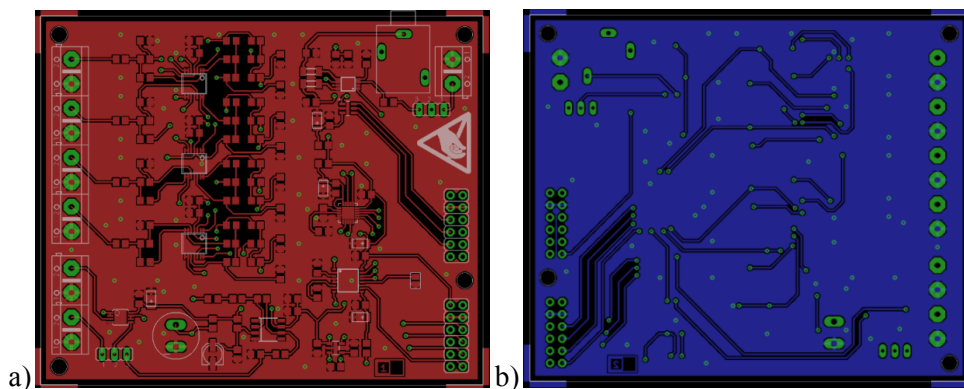
[9]



Obr. 30: Schéma zapojení SSM2305.

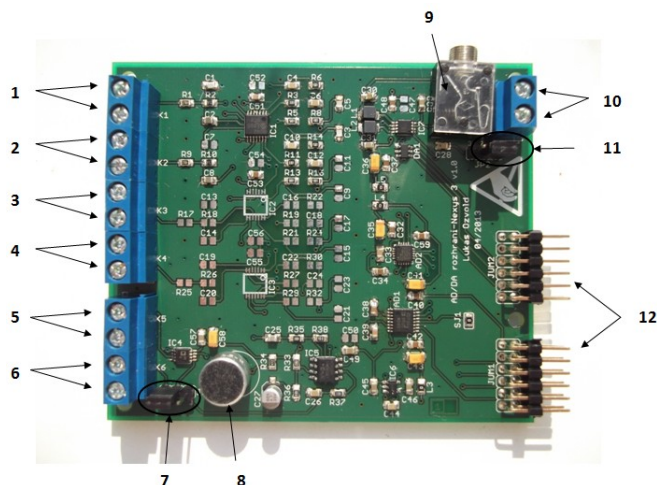
7.5 Návrh desky plošných spojů

Návrh desky plošných spojů byl vytvořen v návrhovém prostředí programu EAGLE v jednotkách mil. Základem pro plnění požadované funkce obvodu bylo dodržet správné zásady návrhu. Po dohodě, vzhledem k velikosti pouzder převodníků dodaných výrobcem, co nejmenší velikosti desky a celkovému dojmu byly pro osazení zvoleny součástky typu SMD. Cílem co nejkvalitnějšího návrhu bylo dle zásad tvorby A/D obvodů oddělení analogových částí obvodu od číslicových. Dále bývá zvykem oddělit také zem obou druhů signálů a spojit tyto země pouze v jednom bodě, nicméně pouze obvod AD7356 má mimo pouzdro zvlášť vyvedený pin DGND, úprava tedy nebyla nijak složitá. Deska je koncipována jako dvoustranná. Napájecí vstupy použitých integrovaných obvodů jsou opatřeny blokovacími kondenzátory. Šířka vodičů vzhledem k povaze obvodu s absencí výkonových signálů nebyla volena příliš vysoká a až na výjimky měla velikost 12 mil, ohyby spojů byly vedeny výhradně pod úhlem 45°. Jak na straně Top, která obsahuje všechny součástky, tak na straně Bottom, byl vytvořen polygon vytvářející rozlitou zem.



Obr. 31: Navržená DPS -a) pohled ze strany TOP, b) pohled ze strany BOTTOM.

Původní návrh desky byl vytvořen pro výrobu fotocestou, nicméně po neúspěšném vyleptání motivu byl návrh přepracován a vyroben profesionálně. Díky tomu, jsou její rozměry ještě menší a to 91,44 x 76,2 mm. Díky prokoveným otvorům bylo navíc možno přivádět vodivé cesty z obou stran desky a tím návrh opět zjednodušit.



Obr. 32: Osazená deska plošných spojů.

1. - 4. Analogové vstupní konektory pro AD7682 (kladná + svorka orientována výše)
5. - 6. Analogové vstupní konektory pro AD7356 (kladná + svorka orientována výše)
7. Propojka JP1 – volba mezi využitím druhého vstupu pro AD7356 či zapojením mikrofonu s předzesilovačem (1-2 zapojení druhého vstupu, 2-3 zapojení mikrofonu)
8. Mikrofon
9. Audio výstup z DA121S101 (Mono jack 3,5mm)
10. Analogový výstupní konektor z DA121S101 (kladná + svorka orientována níže)
11. Propojka JP2 – volba mezi využitím výstupu DAC121S101 pro Mono jack či přímý výstup konektoru (2-1 zapojení ke konektoru, 3-2 zapojení Mono jack)
12. Připojovací piny k Pmod konektorům FPGA

8 Laboratorní úloha

Navržené rozhraní se mimo jiné využítí bude využívat pro seznámení studentů s principem A/D a D/A převodu, přenosem pomocí sériového SPI rozhraní a se základními funkcemi osciloskopu a logického analyzátoru. To bude realizováno pomocí laboratorní úlohy využívající převodníky AD7356 a DAC121S101. V této kapitole bude uveden popis konfigurace pro tuto úlohu a její stručný popis.

8.1 Konfigurace rozhraní

K tomu aby bylo vyrobené rozhraní funkční, bylo potřeba zařídit komunikaci mezi FPGA a jednotlivými převodníky. K vytvoření konfigurace bylo využito programu ISE Design Suite, který je po předchozí registraci na stránkách výrobce FPGA Xilinx zcela bezplatně dostupný, i když s omezenými možnostmi návrhu. Konfiguraci bude možné v budoucnu zcela libovolně upravovat či měnit. Dalším použitý program se nazývá Adept. Ten slouží ke správě konfiguračních pamětí pro desku Nexys™3. Zde už bohužel program ISE využít nelze.

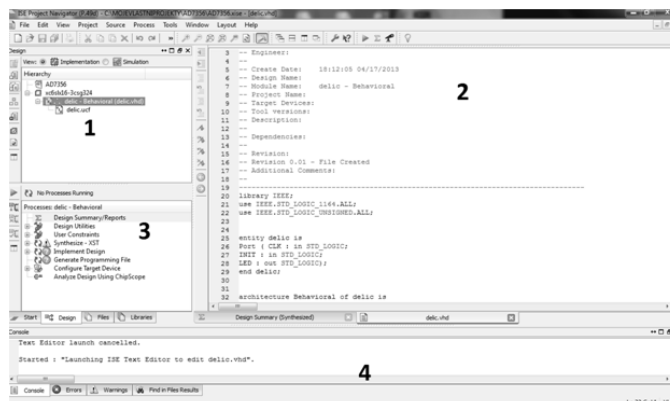
8.1.1 Prostředí ISE Design Suite 14.4, Adept

Jedná se o bezplatné vývojové prostředí pro konfiguraci FPGA firmy XILINX. Po registraci a instalaci produktu ze stránek výrobce je možné vývojové prostředí spustit například pomocí spouštěcí ikony **Project Navigator**. Po načtení programu je potřeba vybrat v nabídce **File** položku **New Project**. Po zadání názvu a jeho potvrzení se objeví nabídka, ve které je nutné definovat použité zařízení, v tomto případě se jedná o FPGA Spartan 6.

Property Name	Value
Evaluation Development Board	None Specified
Product Category	All
Family	Spartan6
Device	XC6SLX16
Package	CSG324
Speed	-3
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	VHDL
Property Specification in Project File	Store all values
Manual Compile Order	<input type="checkbox"/>
VHDL Source Analysis Standard	VHDL-93
Enable Message Filtering	<input type="checkbox"/>

Obr. 33: Úvodní obrazovka prostředí ISE Design Suite.

Po potvrzení předešlého nastavení se objeví hlavní obrazovka vývojového prostředí, kde probíhá veškerý návrh konfigurace.

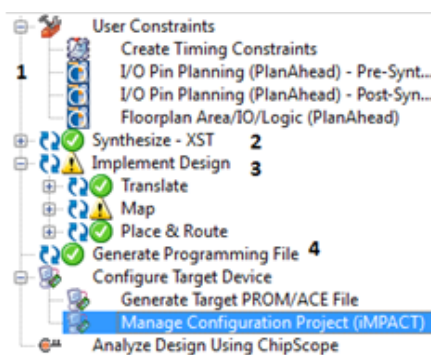


Obr. 34: Hlavní obrazovka vývojového prostředí.

1. Hierarchicky uspořádané okno zdrojových dokumentů.
2. Zobrazení aktuálně otevřených dokumentů, uspořádaných v záložkách.
3. Dostupné procesy.
4. Přepínatelné okno hlášení.

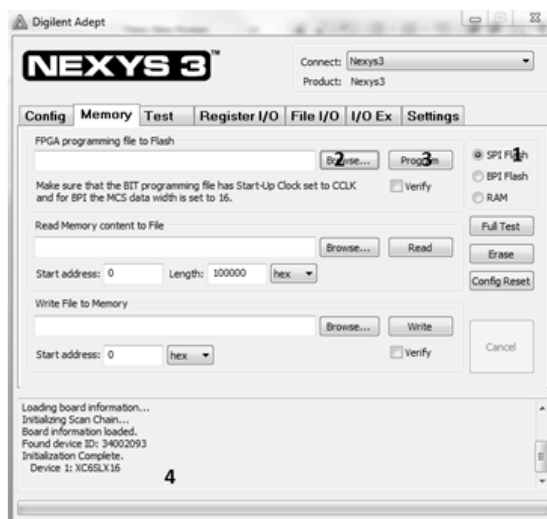
Kliknutím pravým tlačítkem myši byl vybrán nový zdrojový dokument **New Source**. V kritériích výběru se poté nachází možnost vybrat si například mezi schematickou definicí, která není ovšem pro složitější struktury vhodná, nebo zdrojovým kódem psaným v jazyce VHDL, či Verilog. V této práci se využívá zdrojový kód psaný v jazyce VHDL.

Po vytvoření zdrojového kódu se využívalo hlavně okno procesů. Zde bylo potřeba otevřít záložku **1**. Ta slouží k přiřazení námi definovaných signálů k reálným vývodům použité součástky. Při využití platformy Nexys™3 je možné využít na stránkách výrobce již vytvořený dokument s příponou .ucf, kde jsou vypsány veškeré uživatelské vývody tohoto FPGA. Krok **2** a **3** slouží k postupné syntéze, překladu, mapování a nakonec vhodnému rozmístění na desce pro danou konfiguraci. Zde také program vypíše případná upozornění či chyby během zpracování. Krok **4** vytvoří již samotný konfigurační soubor s příponou .bit.



Obr. 35: Nabídka procesů ve vývojovém prostředí.

Posledním krokem bylo připojení platformy pomocí programovacího USB kabelu k PC a spuštění programu **Adept**. Krokem **1** bylo nastavení správné paměti, pomocí **2** byl vybrán příslušný soubor. Krok **3** slouží k nahrání do paměti. V okně **4** je možné sledovat stav nahrávání. Po stisku tlačítka **RESET** na platformě, se nahraná konfigurace spustila.



Obr. 36: Prostředí programu Adept.

8.1.2 Tvorba konfiguračních souborů

Zdrojové kódy pro komunikaci FPGA s převodníkem jsou psány v jazyce VHDL. Pro laboratorní úlohu byly vytvořeny dva základní samostatné projekty, po jejichž nahrání je možné daný převodník využívat. Jejich struktura je hierarchická. Během návrhu bylo zpočátku vycházeno z již vytvořené konfigurace pro DAC121S101 [17]. Na vrcholu této struktury se nachází VHDL module s názvem **topmodule**, ve kterém se provádí převážně instanciaci dílčích připojených modulů, do jednoho přehledného celku. U DAC121S101 je zde také konstrukce pro generování pilového průběhu.

Modul **DCM**, i když jeho možnosti jsou rozsáhlé, zde slouží pouze k úpravě základního hodinového signálu 100MHz na 25MHz, který je vhodný pro oba vybrané převodníky. U DAC121S101 je maximální kmitočet hodinového signálu 30Mhz, u AD7356 je to až 80MHz. Dalším modulem, který je pro oba projekty společný, je **Reset**.

```
architecture Behavioral of ResetSynchronizer is
    signal sMetaReset : std_logic;
begin

    process(in_sClk, in_sAsyncReset) is
    begin

        if in_sAsyncReset = '1' then
            sMetaReset <= '1';
            out_sReset <= '1';
        else
            if in_sClk = '1' and in_sClk'event then
                sMetaReset <= '0';
                out_sReset <= sMetaReset;
            end if;
        end if;
    end process;

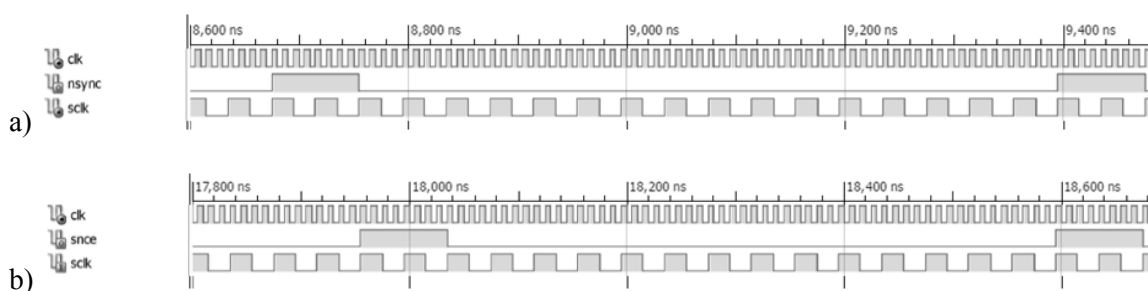
end Behavioral;
```

Obr. 37: Zdrojový kód Resetsynchronizéru. [16]

Tento modul slouží k synchronizaci vstupního asynchronního resetu vyvolaného tlačítkem, s hodinovými impulzy pomocí dvou D klopných obvodů. U obvodů pracujících s vyššími kmitočty, je využití takovéto synchronizace vhodné.

[16]

Následuje modul pro řízení synchronizačních impulzů, samotný sběr a vyslání dat pomocí stavových automatů. Zde bylo potřeba vycházet z datových rámců uvedených v produktových listech vybraných součástek. Důraz byl kladen na jednoduchost konfigurace, a proto pracují oba převodníky pouze v normálním módu. Data navíc neobsahují pouze bity nesoucí užitečnou informaci, ale také řídicí bity, na což je potřeba brát ohled během vytváření posuvných registrů, sloužících k posunování dat po jednotlivých bitech, vždy synchronně s hodinovými impulzy. Posledním v hierarchii je soubor s příponou .ucf, který obsahuje přiřazení signálů jednotlivým uživatelským pinům. Bez něj by nebylo možné posílat a přijímat data prostřednictvím Pmod konektoru, využít interní hodinový signál a používat periferie platformy, jako například tlačítka a přepínače. Jelikož nebylo během návrhu dodrženo pravidlo pro vedení hodinového signálu po určených trasách, musel být navíc do tohoto souboru přidán řádek kódu, povolující syntézu návrhu i přes tento nedostatek.



Obr. 38: Simulace časování v programu ISE Design Suite 14.4 – a) DAC121S101, b) AD7356.

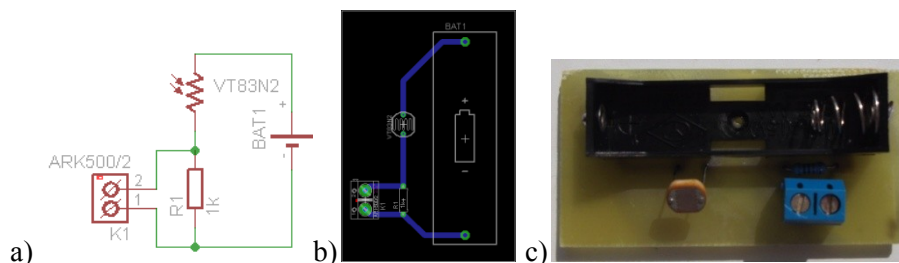
Na Obr. 38 jsou zaznamenány simulace časových průběhů vytvořené konfigurace. Tyto průběhy byly porovnány s časováním uvedeným v katalogových listech těchto převodníků.

1. clk – základní hodinový kmitočet ze 100MHz oscilátoru.
2. nsync, sncs (SYNC, CS) – synchronizační impulzy.
3. sclk – hodinový kmitočet 25MHz sloužící k řízení převodu.

8.2 Výroba laboratorního přípravku

Pro laboratorní úlohu byl vytvořen jednoduchý přípravek, který slouží jako analogový vstup do rozhraní, který je poté převeden na číslicový signál. V praxi je možné přivést na vstup rozhraní jakýkoliv analogový stejnosměrný signál odpovídající rozsahu jednotlivých převodníků. Zapojení tohoto přípravku je velmi jednoduché, jedná se v podstatě pouze o fotorezistor VT83N2, který je

připojen na 1,5V baterii, v sérii s rezistorem 1k Ω . Působením světelného záření dochází ke snížení jeho odporu a zmenší se úbytek napětí. Fotorezistor spolu s druhým odporem tvoří napěťový dělič, na druhém odporu je tedy možné měřit změnu napětí vlivem různé intenzity osvětlení. Jelikož je přípravek napájen napětím pouze 1,5V, je i při maximálním osvětlení napětí na výstupu stále v rozsahu obou převodníků využitých v rozhraní.



Obr. 39: a) Zapojení laboratorního přípravku, b) možná podoba DPS, c) konečný výrobek.

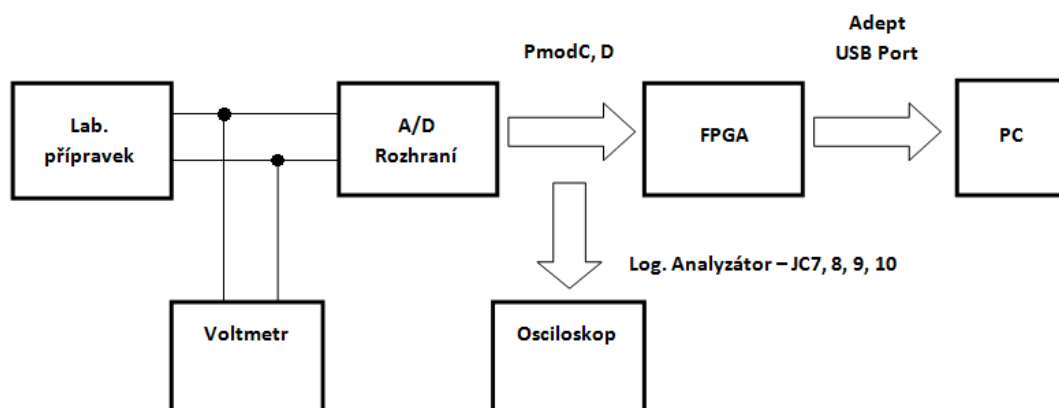
Vzhledem k jednoduchosti obvodového zapojení byla deska plošných spojů v tomto případě vyrobena ručně pomocí fixu na kreslení plošných spojů a poté vyleptána.

8.3 Popis laboratorní úlohy

Jak již bylo uvedeno, vyrobené rozhraní má sloužit k seznámení se základním principem A/D a D/A převodu a dále pak s jednou z možností jeho přenosu, která je v současné době velmi často využívána a tím je SPI. Celá úloha bude rozdělena do dvou částí. V první části úlohy pro pochopení A/D převodu je v úloze využíván AD7356. Ve druhé části zaměřené na D/A převod je využito DAC121S101.

8.3.1 První část - AD7356

V první části laboratorní úlohy bude student pracovat s A/D převodníkem AD7356. Jako první bude potřeba zapojit vývojovou platformu Nexys™3 programovacím kabelem k PC a pomocí programu Adept se do paměti uloží již připravená konfigurace. Do konektoru Pmod bude následně zapojeno A/D rozhraní a do něj dále přípravek zastávající funkci analogového vstupu na který bude paralelně připojen voltmetr. Konečné spojení je mezi vybranými piny konektoru Pmod a logickým analyzátozem osciloskopu.

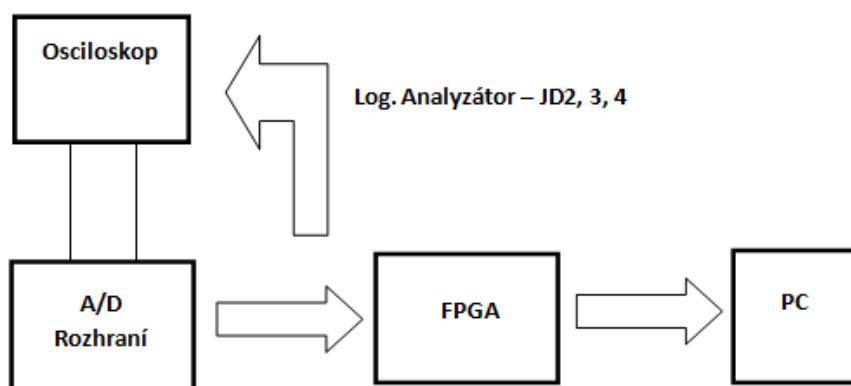


Obr. 40: Blokové schéma zapojení první části laboratorní úlohy.

Princip první části úlohy je měření převedeného analogového signálu z laboratorního přípravku za tří světelných podmínek – normální osvětlení, tma, osvětlení přípravku. Při využití jiného zařízení by se jednalo o libovolný počet různých stavů vstupního signálu. Hodnota vstupního signálu bude ihned měřena pomocí voltmetru. Další měření bude probíhat prostřednictvím logického analyzátoru, kdy pro všechny tři světelné podmínky bude pomocí osciloskopu zaznamenán datový paket vyslaný do FPGA a jeho binární hodnota převedena do decimální, aby mohla být porovnána s hodnotou uvedenou voltmetrem. Na závěr bude pomocí kurzorů určena frekvence hodinového signálu, synchronizačního CS impulsu a průběhy budou zaznamenány.

8.3.2 Druhá část - DAC121S101

V druhé části bude využíván D/A převodník, DA121S101. Jako první se do paměti Nexys™3 uloží připravená konfigurace pro tuto část úlohy. Poté se jako v předchozí části zapojí A/D rozhraní k platformě pomocí Pmod konektoru.



Obr. 41: Blokové schéma zapojení druhé části laboratorní úlohy.

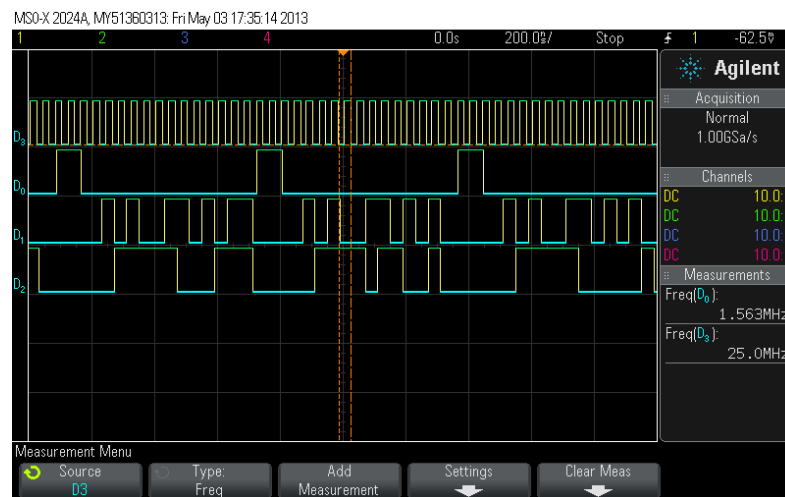
Výstup D/A převodníku se připojí k analogové sondě osciloskopu a datové signály budou připojeny k osciloskopu pomocí sondy logického analyzátoru. Úkolem bude rozeznat význam jednotlivých datových signálů, změřit frekvenci hodinových impulsů, synchronizačního impulsu a výstupního pilového napětí. Nakonec bude zadáno zaznamenat snímek se všemi zadanými průběhy.

9 Zhodnocení výsledků

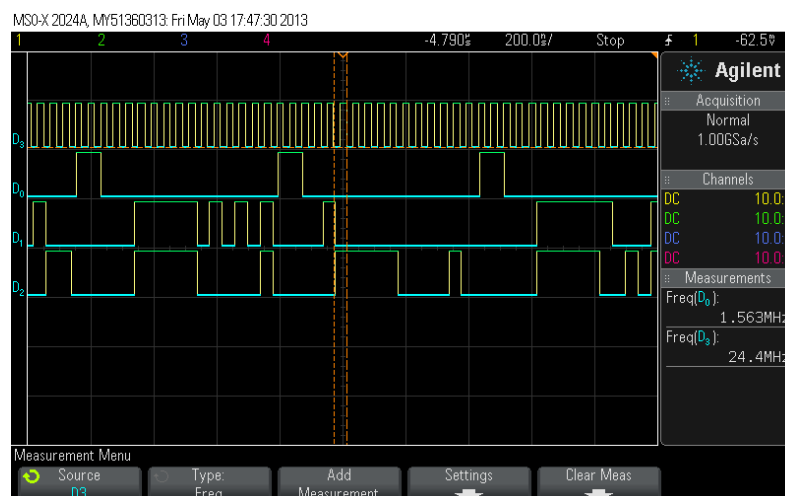
V této kapitole jsou uvedeny získané výsledky vytvořené laboratorní úlohy, čímž je ověřena funkce částí rozhraní, které při ní byly využity. Dále také výsledky kontroly funkce ostatních částí rozhraní, které v této úloze využity nebyly, avšak jsou součástí vyrobeného rozhraní.

9.1 První část laboratorní úlohy

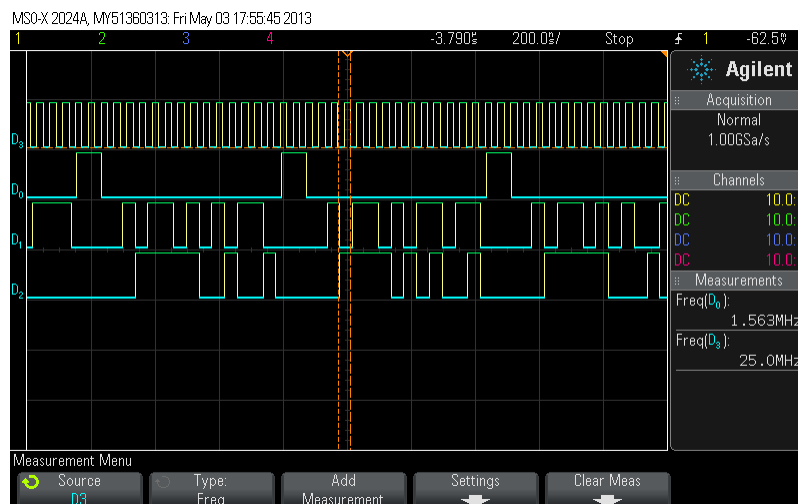
Měření první laboratorní úlohy probíhalo podle zapojení v předchozí kapitole a výsledky byly zaznamenány a zhodnoceny. V zapojení, byl využit druhý vstupní kanál převodníku. První kanál byl na vstupu zkratován.



Obr. 42: Datová komunikace mezi rozhraním a FPGA – normální intenzita osvětlení.



Obr. 43: Datová komunikace mezi rozhraním a FPGA – nízká intenzita osvětlení.



Obr. 44: Datová komunikace mezi rozhraním a FPGA – vysoká intenzita osvětlení.

Měření probíhalo vždy odečtením napětí na výstupních svorkách laboratorního přípravku pomocí multimetru a dále zastavením osciloskopu. Poté již bylo možné zaznamenat jak 12 bitový datový paket, tak kmitočty hodinových signálů a synchronizačních CS signálů. Z naměřených průběhů je patrná fungující komunikace mezi převodníkem a FPGA. D_2 reprezentuje první vstupní kanál A/D převodníku, D_1 druhý kanál, D_3 hodinový signál a D_0 synchronizační impulsy. Změřené frekvence odpovídají předpokladům, tedy 25MHz pro hodinový signál a k tomu odpovídající umístění synchronizačních impulsů s kmitočtem 1,563MHz, aby byl uskutečněn korektní převod.

Data z převodníku AD7356 jsou v binárním tvaru. První dva bity nenesou informaci, jedná se o tzv. *Leading Zeros*. Na obrázku z osciloskopu první z těchto bitů zaniká, viditelný je pouze druhý z nich. Dále následuje 12 bitů, nesoucích informaci o napětí vstupujícím do převodníku. Jelikož je převodník rozdílový, i v případě přivedení nulového napětí na jeho vstup není číslicová hodnota vyjadřující toto napětí rovna nule ale polovině celkového rozsahu. Pokud by měla být zjištěna hodnota číslicového signálu pro známý analogový vstup, je možné ji určit ze vztahu (12), kde:

V_D ...číslcový výstup z převodníku

U_{vst} ...napětí přivedené na vstup převodníku

U_{ref} ...referenční napětí převodníku

Ze stejného vztahu, může být po úpravě vyjádřeno U_{vst} a takto určena analogová hodnota na základě známého výstupu z převodníku, která je dána konečným vztahem (13).

$$V_D = (\text{celkový_rozsah}) \cdot \left(\frac{U_{vst}}{U_{ref}} + 1 \right) / 2 \quad (12)$$

$$U_{vst} = 2 \cdot U_{ref} \cdot \left(\frac{V_D}{\text{celkový_rozsah}} - 1/2 \right) \quad (13)$$

Příklad výpočtu napětí z Obr. 43 pro převod začínající po druhém synchronizačním impulsu:

$$V_D = 1000\ 0000\ 0000_2 \Rightarrow 1 \cdot 2^{11} + 0 \cdot 2^{10} + 0 \cdot 2^9 + \dots + 0 \cdot 2^0 = \underline{2048}_{10}$$

$$U_{vst} = 2 \cdot U_{ref} \cdot \left(\frac{V_D}{\text{celkový_rozsah}} - \frac{1}{2} \right) = 2 \cdot 2,048 \cdot \left(\frac{2048}{4096} - \frac{1}{2} \right) = \underline{0\ V}$$

Binární hodnota odečtená z osciloskopu byla převedena na decimální a poté bylo dosazením do vzorce (13) zjištěno výsledné napětí.

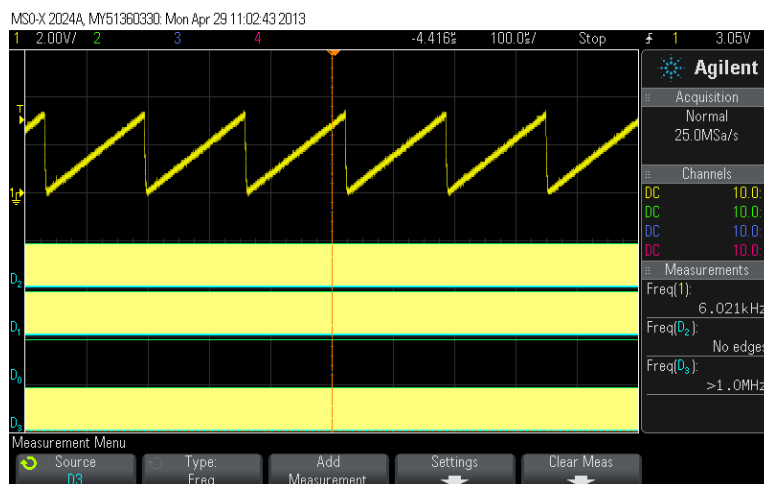
Tab. 2: Naměřené hodnoty – první část laboratorní úlohy.

světelné podmínky	U [mV] multimetr	U [mV] A/D převodník
normální intenzita	556	618
nízká intenzita	3,2	0
vysoká intenzita	914	867

Z vypočtených hodnot porovnaných s hodnotami měřenými pomocí multimetru je možné usoudit, že převod probíhá správně. Malou nepřesnost je možné odůvodnit proměnlivými podmínkami během měření, kdy odečítáním napětí na přípravku pomocí multimetru mohlo dojít k částečnému zakrytí fotorezistoru a snížením výstupního napětí, či prodlevou během zastavování osciloskopu.

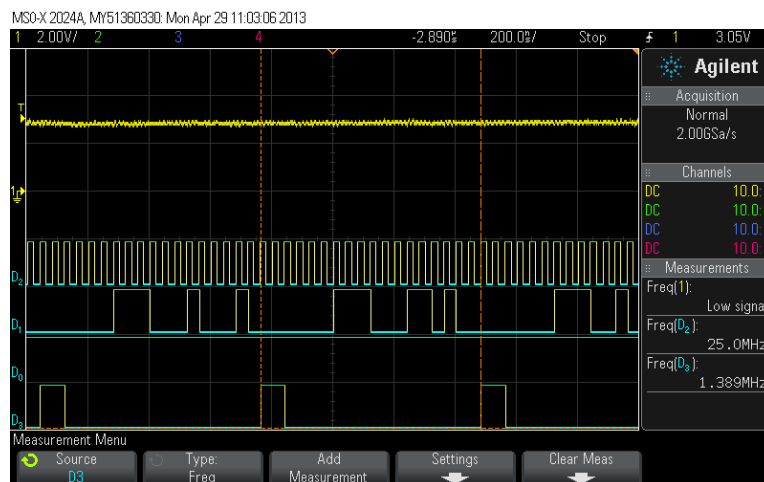
9.2 Druhá část laboratorní úlohy

Zapojení druhé části laboratorní úlohy odpovídá blokovému schématu uvedenému výše. Časovou základnu bylo nutno nastavit poměrně velkou vzhledem k tomu, že pilovitý výstupní signál měl nižší kmitočet, než byl kmitočet hodinových impulsů.



Obr. 45: Datová komunikace mezi rozhraním a FPGA – měření kmitočtu periodického signálu.

Na Obr. 45 je viditelný výsledný snímek zaznamenaný pomocí osciloskopu. Nejvýše umístěný je pilovitý signál z D/A převodníku. Jeho kmitočet byl změřen a odpovídá hodnotě přibližně 6kHz. V tomto okamžiku ještě nebylo možné kvůli svému vysokému kmitočtu rozeznat datové signály.



Obr. 46: Datová komunikace mezi rozhraním a FPGA – měření kmitočtu datových signálů.

Po změně časové základny byla datová komunikace viditelná již velmi dobře. D_2 reprezentuje hodinový signál, D_1 číselná data z FPGA směřovaná do převodníku, D_3 synchronizační impulzy a D_0 je konstantně nastavená log. 1, která v úloze nemá význam. Slouží k povolení zesílení výstupního zesilovače, v případě že je využit jako výstup D/A převodníku mono jack. Výsledky měření jsou uvedeny v Tab. 3. Ze zaznamenaného průběhu je viditelné, že převodník komunikuje pomocí rozhraní SPI s FPGA platformou a převod probíhá podle předpokladů.

Tab. 3: Naměřené hodnoty – druhá část laboratorní úlohy.

Měřená veličina	Frekvence
hodinový signál – D_1	25 MHz
synchronizační impulzy – D_0	1,389 MHz
Analogový pilovitý průběh	6,021 kHz

9.3 Další části rozhraní

9.3.1 AD7682

A/D převodník AD7682 nebyl během této práce konfigurován a to z důvodu složitější inicializace, u které bylo zapotřebí hlubších znalostí a praxe v oblasti konfigurace pomocí jazyka VHDL. Předchozím převodníkům stačilo ke své funkci nastavení hodinového signálu a synchronizačních impulzů. Tento však obsahuje také 14 bitový konfigurační registr CFG, sloužící

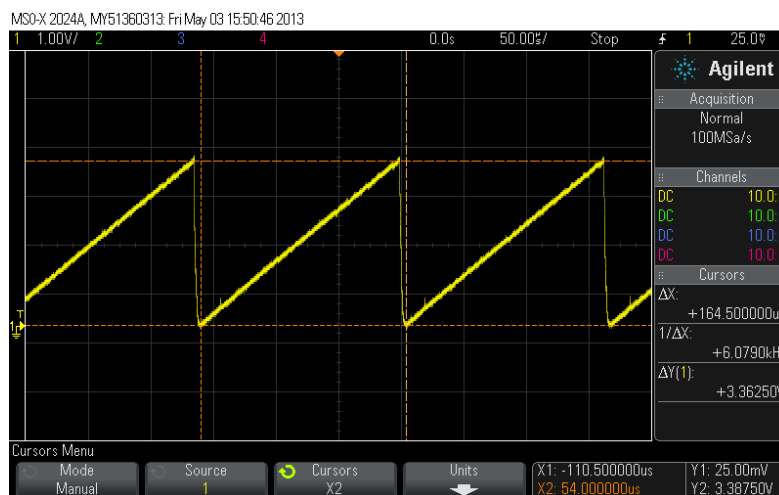
k nastavení parametrů jako například volba kanálu a referenčního napětí, nebo konfigurace vstupů. Bez zaplnění tohoto registru převodník nevrací žádné hodnoty a nekomunikuje. Obvodové zapojení převodníku vycházelo z doporučeného zapojení v katalogovém listu výrobce a je považováno za správné. Konfigurace může být tedy v budoucnu napsána a jako u ostatních převodníků libovolně upravena.

9.3.2 Mikrofon s předzesilovačem

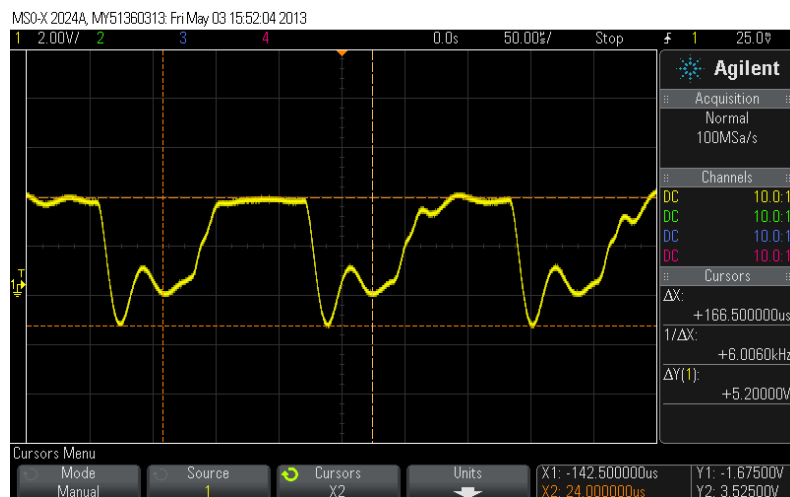
Zapojení předzesilovače bylo testováno již na nepájivém kontaktním poli, přesto byla během práce s AD7356 kontrolována i tato část rozhraní. Pro zjištění funkce bylo možno využít stejný konfigurační program. Jediným rozdílem byla změna umístění propojky JP1 do polohy připojující ke vstupu převodníku tento předzesilovač. Následně bylo ověřeno, zda dochází k odesílání dat.

9.3.3 Integrovaný obvod SSM2305 s audio výstupem

Funkce tohoto obvodu byla testována dvěma způsoby. Prvním a základním bylo zapojení příslušných sluchátek do audio výstupu, jímž je 3,5mm mono jack. Jelikož je na výstupu D/A převodníku pilovitý průběh, byl rozpoznán pouze konstantní zvukový signál o dané frekvenci. Frekvence pilovitého signálu je přibližně 6kHz. Dále byl výstup mono jacku pomocí sondy zobrazen na osciloskopu a tvar výstupní křivky porovnán právě s pilovitým průběhem na výstupu D/A převodníku.

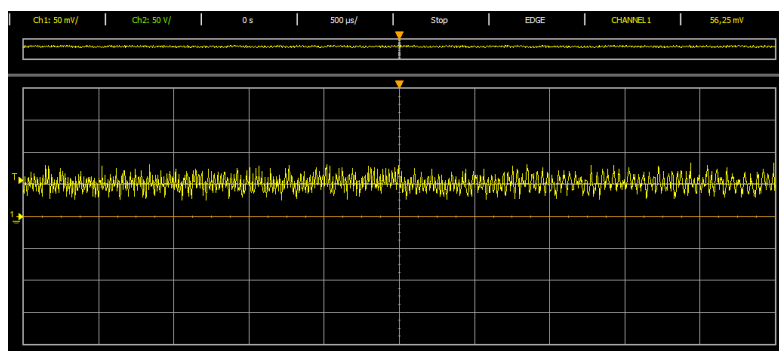


Obr. 47: Pilovitý signál z výstupu DAC121S101 na svorkovnici.



Obr. 48: Pilovitý signál z výstupu DAC121S101 zesílený pomocí IO SSM2305.

Z Obr. 47 a Obr. 48 je patrné, že průchodem přes zesilovač došlo ke zkreslení tvaru pilovitého průběhu. Nicméně frekvence signálu zůstala zachována a napěťové zesílení odpovídá předpokladům. Jelikož má použitý zesilovač také možnost uvedení do tzv. *Shutdown* módu přivedením log. 0 na vstup SD, bylo testováno také, zda je tato možnost funkční. V navrženém rozhraní je přístup na tento vodič v Pmod konektoru, na pinu JD0.



Obr. 49: Audio výstup - Shutdown mód SSM2305.

Po odeslání log. 0 na vstup SD, přestal být zesilovač aktivní a na audio výstupu se objevilo pouze malé napětí v řádu několika desítek mV.

10 Závěr

Cílem této bakalářské práce bylo vytvořit A/D, D/A rozhraní, které bude co nejvhodnějším způsobem rozšiřovat možnosti vývojové desky Nexys™3 a pomocí laboratorní úlohy demonstrovat jeho funkci. K splnění tohoto úkolu bylo důležité získat z této oblasti dostatečné znalosti a jeho plnění pro mě bylo velmi zajímavé, jelikož jsem měl možnost vyzkoušet si práci s obvody FPGA, které jsou v dnešní době pro své vlastnosti čím dál využívanějším prostředkem pro zpracování číslicových signálů a to v mnoha oblastech. Konkrétní požadavky na funkci tohoto rozhraní mi byly předány vedoucím práce a mělo se skládat z několika částí. Základem byly dva A/D převodníky, lišící se od sebe rychlostí převodu a rozlišením a D/A převodník. Dále jsem měl rozhraní opatřit jednoduchým mikrofonom s patřičným předzesilovačem a audio výstupem. Tímto měla vzniknout deska plošných spojů, integrující v sobě dostatek funkcí pro rozmanitou práci s výše zmiňovanou FPGA vývojovou deskou. Návrh řešení, obvodové zapojení a realizaci jsem měl možnost po konzultaci uskutečnit zcela libovolně dle svého uvážení. Klíčovou zde byla volba převodníků. Pro své parametry, byly nakonec vybrány převodníky AD7682, AD7356 a DA121S101. U jejich obvodového zapojení jsem vycházel z požadavků výrobce na správnou funkci. AD7682 jsem opatřil potřebným antialiasing filtrem, k jehož návrhu jsem po zkušenostech s několika návrhovými programy využil WEBENCH® filter designer. I když je tento produkt velmi propracovaný, bylo potřeba teorii filtrů nejdříve nastudovat, aby mohl být správně nastaven. Dále bylo mým úkolem impedančně oddělit AD7356. K tomuto úkolu jsem využil OZ s vysokým vstupním odporem v zapojení napěťového sledovače. Na zpracování zvuku z mikrofону nebyly kladeny zvláštní požadavky, vycházel jsem zde tedy z ověřeného zapojení s OZ. To jsem ovšem přizpůsobil pro malé napájecí napětí, které je pouze 3,3V a také pro zpracování vybraným A/D převodníkem. Posledním prvkem rozhraní byl audio výstup. Zde jsem využil IO SSM2305 s výstupním LC DP filtrem, který se zde ideálně hodí, vzhledem ke své účinnosti a přijatelnému zesílení. Zapojení jsem dále vylepšil o přímý výstup z D/A převodníku, který může být tedy využit například také jako generátor průběhů. Což původně v návrhu chybělo. Realizace měla být uskutečněna vyrobením oboustranné desky fotoceistou SMD součástkami. Bohužel poměrně rozsáhlé zapojení s velmi malými pouzdry převodníků jsem byl nucen přepracovat a DPS byla vyrobena profesionálně. Během návrhu jsem dodržoval základní požadavky na tvorbu DPS a A/D obvodů. Tímto se podařilo vylepšit její celkovou koncepci. Posledním krokem byla konfigurace v jazyce VHDL a tvorba laboratorní úlohy. Konfigurační programy jsem vytvořil pro AD7356 a DAC121S101, které jsou zároveň využity v laboratorní úloze. AD7682 vyžaduje navíc vstupní inicializaci a její nastavení pro mě bez patřičných zkušeností nebylo možné vytvořit.

Během návrhu bylo využito simulačního programu Multisim a programu pro návrh DPS EAGLE. Pro konfiguraci pak ISE Design Suite. Po otestování rozhraní je možné jej považovat za zcela funkční. Komunikace s převodníky i ostatními částmi rozhraní probíhá dle předpokladů. Což je podloženo v této práci. Jediným neověřeným prvkem je tedy AD7682, jehož obvodové zapojení považuji za správné, vychází z doporučení výrobce. Zbývá zde pouze vytvořit konfiguraci. Rozhraní je možné využít pro vytvořenou laboratorní úlohu ale v budoucnu je její využití daleko rozsáhlejší, stačí pouze napsat nové, či upravit stávající nastavení. Může být využita spolu s periferiemi FPGA jak pro pochopení principu převodu signálů, výuku VHDL jazyka, tak pro jednodušší měření napěťových signálů, které se dále zpracují pomocí FPGA Nexys™3.

Použitá literatura

- [1] ČERNÝ, Martin a Marek PENHAKER. *Biotelemetrie*. 1. vyd. Ostrava: VŠB - Technická univerzita Ostrava, 2007, 155 s. ISBN 978-80-248-1605-0.
- [2] DOLEČEK, Jaroslav. *Moderní učebnice elektroniky 6.: Kmitočtové filtry, generátory signálů a převodníky dat*. 1. vyd. Praha: BEN - technická literatura, 2009, 271 s. ISBN 978-80-7300-240-4.
- [3] HÁZE, J., VRBA, R., FUJCIK, L., SAJDL, O.: *Teorie vzájemného převodu analogového a číslicového signálu*. Elektronické skriptum, Brno, FEKT VUT 2010.
- [4] HÁJEK, Karel. *Kmitočtové filtry*. 1. vyd. Praha: BEN - technická literatura, 2002, 535 s. ISBN 80-730-0023-7.
- [5] REK, Tomáš. *Analyzátor AD převodníků*. Pardubice, 2009. Dostupné z <http://dspace.upce.cz/bitstream/10195/34869/1/RekT_Analyzator_AD_MH_2009.pdf>. Bakalářská práce. Univerzita Pardubice, Fakulta elektrotechniky a informatiky, Katedra elektrotechniky.
- [6] AD7682. ADC. Analog Devices. 32str. Dostupné z <www.analogdevices.com>.
- [7] AD7356. ADC. Analog Devices. 20str. Dostupné z <www.analogdevices.com>.
- [8] DAC121S101. DAC. NationalSemiconductor: Texas Instruments. 19str. Dostupné z <www.ti.com>.
- [9] SM2305. Class-D Audio Amplifier. Analog Devices. 16str. Dostupné z <www.analogdevices.com>.
- [10] TANDLER, Jan. *Návrh a realizace kmitočtových filtrů pro analogově číslicové převodníky*. Ostrava, 2012. Dostupné z <http://dspace.upce.cz/bitstream/10195/34869/1/RekT_Analyzator_AD_MH_2009.pdf>. Bakalářská práce. VŠB-Technická univerzita Ostrava, Fakulta elektrotechniky a informatiky, Katedra telekomunikační techniky.
- [11]] Kašík, Vladimír. *Programovatelná hradlová pole FPGA: učební text a návody do cvičení*. Učební texty VŠB-Technická univerzita Ostrava, Ostrava, 2012.
- [12] SKALICKÝ, Pavel. *Referenční zdroje napětí a proudu*. Brno, 2011. Dostupné z <http://www.vutbr.cz/www_base/zav_prace_soubor_verejne.php?file_id=37620>. Diplomová práce. VUT-Brno, Fakulta elektrotechniky a komunikačních technologií, Ústav mikroelektroniky.
- [13] DUCHÁČEK, Karel. *Sériová rozhraní SPI, Microwire, I2C a CAN*. Západočeská univerzita v Plzni. Plzeň, 2002. Dostupné z <http://home.zcu.cz/~dudacek/NMS/Seriova_rozhrani.pdf>.
- [14] Nexys™3 Spartan-6 FPGA Board. DIGILENT, Inc. *Digilent* [online]. 2011 [cit. 2013-04-15]. Dostupné z <<http://www.digilentinc.com/Products/Detail.cfm?Prod=NEXYS3>>.
- [15] Elektretový mikrofon. In: *Elektretový mikrofon* [online]. [cit. 2013-04-15]. Dostupné z <<http://hudebniforum.cz/ostatni/elektretovy-mikrofon-t20659.html>>.

- [16] ŠŤASTNÝ, Jakub. *FPGA prakticky: Realizace číslicových systémů pro programovatelná hradlová pole*. 1. vyd. Praha: BEN - technická literatura, 2010. ISBN 978-80-7300-261-9.
- [17] DABACAN, Ioana. PMOD-DA2 VHDL component. In: *GitHub* [online]. 2008 [cit. 2013-04-29]. Dostupné z <https://github.com/nryoung/project-stupid-robot/blob/master/PmodLS1%20RefProj/SourceFiles/PMOD_DA2.vhd>.
- [18] QUEK, YangBoon. TEXAS INSTRUMENTS. *Class-D LC Filter Design* [online]. 2006, Revised January 2008 [cit. 2013-05-04]. Dostupné z <<http://www.ti.com/lit/an/sloa119a/sloa119a.pdf>>.

Seznam použitých obrázků a tabulek

Obr. 1: Vzorkování spojitého signálu. [1].....	2
Obr. 2: Přiřazení kvantizačních úrovní odebraným vzorkům. [1].....	3
Obr. 3: Zjednodušené blokové schéma A/D převodníku. [3].....	5
Obr. 4: Zjednodušené blokové schéma D/A převodníku. [3].....	5
Obr. 5: Graf závislosti rozlišení na rychlosti převodu. [3].....	8
Obr. 6: Zjednodušené schéma vzorkovacího obvodu. [2].....	8
Obr. 7: Schéma zapojení paralelního A/D převodníku. [3].....	9
Obr. 8: Schéma zapojení řetězového převodníku. [3].....	10
Obr. 9: Schéma zapojení převodníku s postupnou aproximací. [3]	10
Obr. 10: Schéma zapojení $\Sigma - \Delta$ převodníku. [2].....	12
Obr. 11: Schéma zapojení převodníku s dvojitou integrací. [5].....	12
Obr. 12: Zapojení D/A převodníku s váhovými proudy. [2].....	13
Obr. 13: Zapojení D/A převodníku s odporovou sítí R-2R. [2]	14
Obr. 14: Důležité parametry frekvenční charakteristiky filtru. [10]	15
Obr. 15: Ukázka možných jednoduchých zapojení napěťové reference. [12]	16
Obr. 16: Typické zapojení komunikace pomocí SPI. [13].....	18
Obr. 17: Základní uspořádání bloků ve vnitřní struktuře FPGA. [11]	19
Obr. 18: Uspořádání jedné logické buňky v CLB bloku. [11]	20
Obr. 19: PSM uspořádání propojovací sítě vodičů. [11].....	20
Obr. 20: Blokové schéma navrženého rozhraní.	21
Obr. 21: Nexys™3 [14].....	22
Obr. 22: Blokové schéma převodníku AD7682. [6]	23
Obr. 23: Blokové schéma převodníku AD7682 [7]	24
Obr. 24: Blokové schéma D/A převodníku DAC121S101. [8].....	25
Obr. 25: Obvodové zapojení ARC antialiasing filtru.	26
Obr. 26: Frekvenční charakteristika filtru – simulace v programu Multisim.	27
Obr. 27: Obvodové zapojení napěťového sledovače.	27
Obr. 28: Obvodové zapojení mikrofonního předzesilovače.	28
Obr. 29: Výstupní napětí mikrofonního předzesilovače při různé intenzitě zvuku.	28
Obr. 30: Schéma zapojení SSM2305.	29
Obr. 31: Navržená DPS -a) pohled ze strany TOP, b) pohled ze strany BOTTOM.....	30
Obr. 32: Osazená deska plošných spojů.	30
Obr. 33: Úvodní obrazovka prostředí ISE Design Suite.	31
Obr. 34: Hlavní obrazovka vývojového prostředí.	32
Obr. 35: Nabídka procesů ve vývojovém prostředí.	32
Obr. 36: Prostředí programu Adept.	33
Obr. 37: Zdrojový kód Resetsynchronizéru. [16].....	33
Obr. 38: Simulace časování v programu ISE Design Suite 14.4 – a) DAC121S101, b) AD7356.	34
Obr. 39: a) Zapojení laboratorního přípravku, b) možná podoba DPS, c) konečný výrobek.	35
Obr. 40: Blokové schéma zapojení první části laboratorní úlohy.	36
Obr. 41: Blokové schéma zapojení druhé části laboratorní úlohy.	36

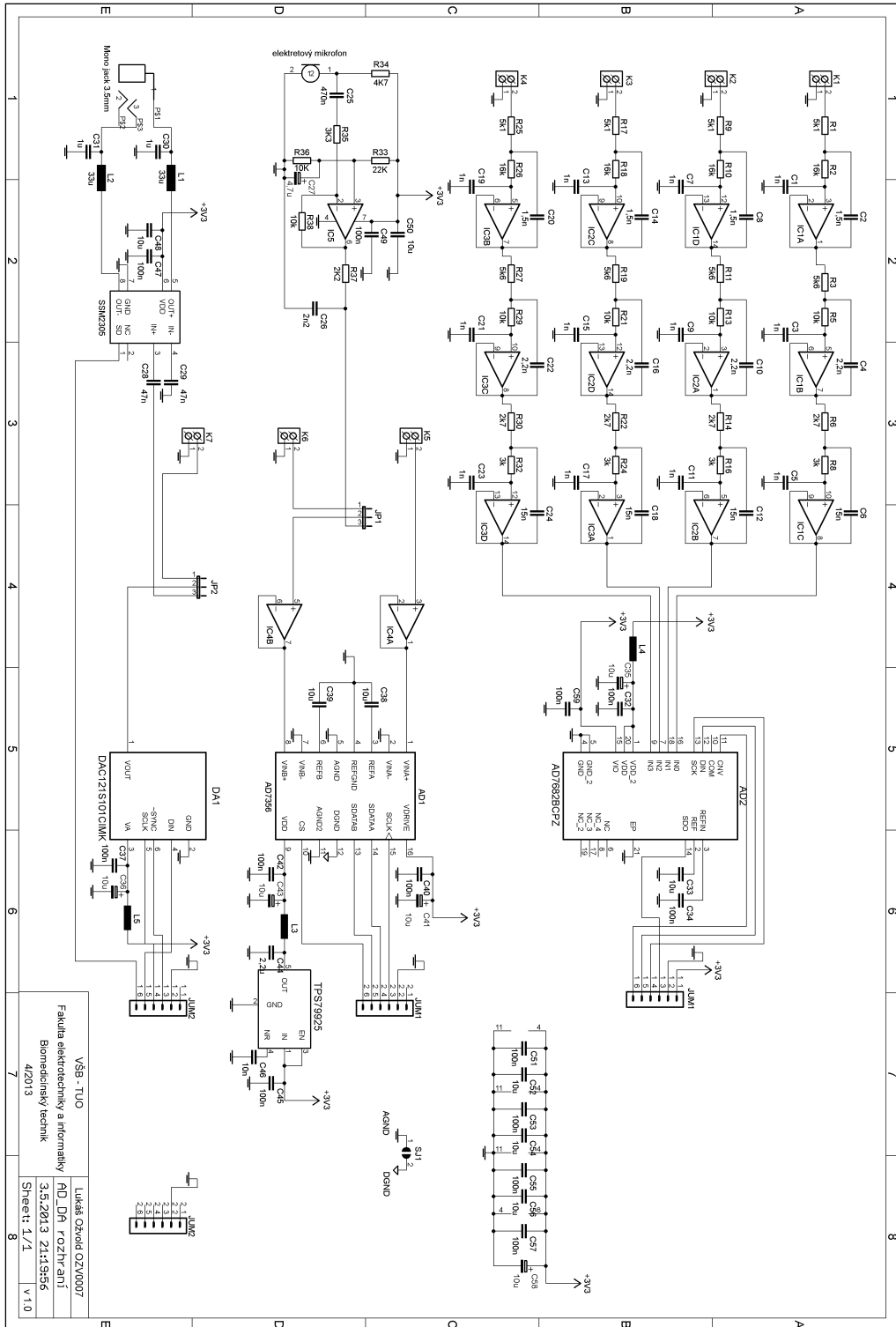
Obr. 42: Datová komunikace mezi rozhraním a FPGA – normální intenzita osvětlení.....	38
Obr. 43: Datová komunikace mezi rozhraním a FPGA – nízká intenzita osvětlení.....	38
Obr. 44: Datová komunikace mezi rozhraním a FPGA – vysoká intenzita osvětlení.....	39
Obr. 45: Datová komunikace mezi rozhraním a FPGA – měření kmitočtu periodického signálu.....	40
Obr. 46: Datová komunikace mezi rozhraním a FPGA – měření kmitočtu datových signálů.....	41
Obr. 47: Pilovitý signál z výstupu DAC121S101 na svorkovnici.....	42
Obr. 48: Pilovitý signál z výstupu DAC121S101 zesílený pomocí IO SSM2305.....	43
Obr. 49: Audio výstup - Shutdown mód SSM2305.....	43

Tab. 1: Základní charakteristika Nexys™3 [14].....	22
Tab. 2: Naměřené hodnoty – první část laboratorní úlohy.....	40
Tab. 3: Naměřené hodnoty – druhá část laboratorní úlohy.....	41

Seznam příloh

Příloha A – Celkové schéma zapojení.....	II
Příloha B – Seznam součástek.....	III
Příloha C – Laboratorní úloha.....	V
Příloha D – Vzorový protokol k laboratorní úloze.....	XI
Příloha E – Příloha na CD	
Příloha F – Obsah CD.....	XVII

Příloha A - Celkové schéma zapojení



Příloha B – Seznam součástek

NÁZEV	HODNOTA	VELIKOST/TYP
Rezistory		
R1, R9, R17, R25	5k1Ω	SMD 0805
R2, R10, R18, R26	16kΩ	SMD 0805
R3, R11, R19, R27, R35	5k6Ω	SMD 0805
R5, R13, R21, R29	10kΩ	SMD 0805
R6, R14, R22, 30	2k7Ω	SMD 0805
R8, R16, R24, R32	3kΩ	SMD 0805
R33	22kΩ	SMD 0805
R34	4k7Ω	SMD 0805
R36, R38	10kΩ	SMD 0805
R37	2k2Ω	SMD 0805
Keramické kondenzátory		
C1, C3, C5, C7, C9, C11, C13,	1nF	SMD 0805
C15, C17, C19, C21, C23	1nF	SMD 0805
C2, C8, C14, 20	1,5nF	SMD 0805
C4, C10, C16, C22, C26	2,2nF	SMD 0805
C6, C12, C18, C24	15nF	SMD 0805
C25	470n	SMD0805
C28, C29	47n	SMD0805
C30, C31	1μF	SMD0805
C32, C34, C37, C40, C42, C47,	100nF	SMD0805
C45, C49, C51, C53, C55, C57,	100nF	SMD 0805
C59	100nF	SMD 0805
C33, C38, C39, C48, C50, C52,	10μF	SMD0805
C54, C56	10μF	SMD 0805
C44	2,2μF	SMD 0805
C46	10nF	SMD 0805
Tantalové kondenzátory		
C35, C36, C41, C43, C58	10μF	Velikost A
Elektrolytické kondenzátory		
C27	4,7μF	Velikost B
Tlumivky		
L1, L2	33μF	SMD 1206
EMI filtry		
L3, L4, L5		BLM21AH102SN1D
Integrované obvody		

IC1, IC2, IC3	MCP604 pouzdro TSSOP
IC4	ADA4891 pouzdro MSOP
IC5	MCP601 pouzdro SOIC
IC6	TPS79925 pouzdro TSOT23-5
IC7	SSM2305 pouzdro MSOP
AD1	AD7356 pouzdro TSSOP
AD2	AD7682 pouzdro LFCSP
DA1	DAC121S101 pouzdro TSOT-6
Konstrukční prvky	
K1-K7	ARK300V-2P
Mono Jack	Velikost 3,5mm
Elektretový mikrofón	MCE101
JP1, JP2	oboustranný přímý kolík 3 piny, rozteč 2,54mm
JUM1, JUM2	oboustranný kolík, 2 řady, 90°, 8 pinů, rozteč 2,54mm

Příloha C – Laboratorní úloha

1. Analýza SPI přenosu logickým analyzátozem

1.1 Cíl úlohy

Prostřednictvím této laboratorní úlohy se naučíte:

- zaznamenat a měřit časový průběh číslicových dvoustavových signálů pomocí logického analyzátoru
- vyhodnocovat pořízenou datovou komunikaci
- chápat rozdíly mezi A/D a D/A převodníkem a poznat základní princip jejich funkce
- chápat princip komunikace prostřednictvím SPI rozhraní

1.2 Zadání

1. a) Připojte A/D převodník pomocí logického analyzátoru k osciloskopu a změřte frekvenci hodinového signálu CLK a synchronizačních impulsů CS.
b) Zaznamenejte datovou komunikaci mezi A/D převodníkem a FPGA Nexys™3 pro tři různé stavy vstupního napětí. Hodnoty vstupního napětí rovněž změřte multimetrem.
c) Vypočítejte na základě dat získaných z analyzátoru hodnotu napětí a porovnejte s hodnotami získanými pomocí multimetru.
2. a) Připojte D/A převodník pomocí logického analyzátoru k osciloskopu a na jeho analogový výstup připojte sondu osciloskopu. Poté změřte frekvenci hodinového signálu CLK, synchronizačních impulsů a kmitočet výstupního analogového napětí.
b) Datovou komunikaci rovněž zaznamenejte.

1.3 Předpokládané znalosti

Pro tuto úlohu se vyžaduje nastudování:

- A/D, D/A převodníky v [1]
- SPI rozhraní v [2]

Zaměřte svoji pozornost na následující témata:

- Obecný princip převodu, architektury převodníků
- Princip sériové komunikace SPI

1.4 Použité vybavení

- Vývojová deska firmy Digilent, Nexys™3
- A/D, D/A rozhraní
- Laboratorní přípravek s fotorezistorem
- Multimetr
- Počítač s konfiguracemi v jazyce VHDL
- Sonda logického analyzátoru

- Propojovací kabely, krokosvorky

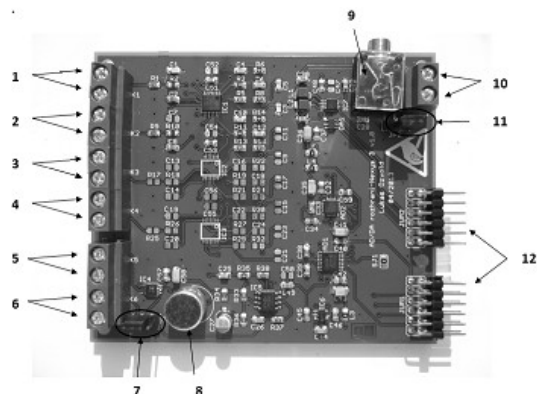
1.5 Teoretický rozbor

Jelikož se v současné době projevuje snaha veškerá data digitalizovat, velmi často se okolo sebe setkáváme s A/D a D/A převodníky, aniž bychom si to uvědomovali.

Základem pro oba tyto druhy převodníků je referenční napětí, podle kterého převodník porovnává v jakém poměru se vstupní, či výstupní data nacházejí právě vůči tomuto referenčnímu napětí. Samotný A/D převod probíhá ve třech částech. Analogový signál je v čase spojitý. V první části převodu se proto jeho časová osa rozdělí na stejně dlouhé dílky a v každém se odebere jeden vzorek. V druhé části je poté potřeba přiřadit již odebranému vzorku určitou úroveň na svislé ose, které se říká kvantizační hladina. U analogového signálu by to byla například hodnota napětí v nějakém vybraném čase. Jelikož ale pracujeme se signálem číslicovým, tak probíhá třetí část převodu, kdy se již přiřazené kvantizační hladině přiřadí nějaký kód, například v binární hodnotě, který ji reprezentuje. Tato část se nazývá kódování. Způsobů jak toho dosáhnout existuje celá řada a využívá se několik základních architektur převodníků, z nichž každá je výhodná pro jiný druh aplikace. U D/A převodníků je analogový signál odvozen od referenčního napětí v závislosti na váze číslicového údaje.

Přenos dat, ať už z převodníku, či do něj, může být realizován několika způsoby. Základním dělením je na paralelní, kdy se odesílá celý objem bitů najednou po samostatných vodičích, či sériový, zde se data posílají za sebou po jednotlivých bitech. Tento přenos může být dále asynchronní, kdy se data přenášejí s různou prodlevou, nebo synchronní – zde je přenos řízen pomocí hodinového signálu.

Rozhraní SPI, je druhem sériové komunikace, která se velmi často využívá k přenosu dat mezi integrovanými obvody. V základním zapojení využívá 4 vodičů nesoucích - hodinový signál CLK, signál povolující převod a zajišťující synchronizaci CS a dva datové vodiče pro komunikaci oběma směry. Jedno zařízení je typu MASTER, druhé typu SLAVE. Komunikace může probíhat s více zařízeními typu SLAVE právě pomocí řízení vodičem CS (Chip Select). Toto základní zapojení se může lišit podle druhu konkrétního zařízení, základní princip však zůstává stejný. Přípravek A/D, D/A rozhraní, využitý v této laboratorní práci obsahuje 2 A/D převodníky a jeden D/A převodník, z nichž všechny využívají přenos dat pomocí SPI.

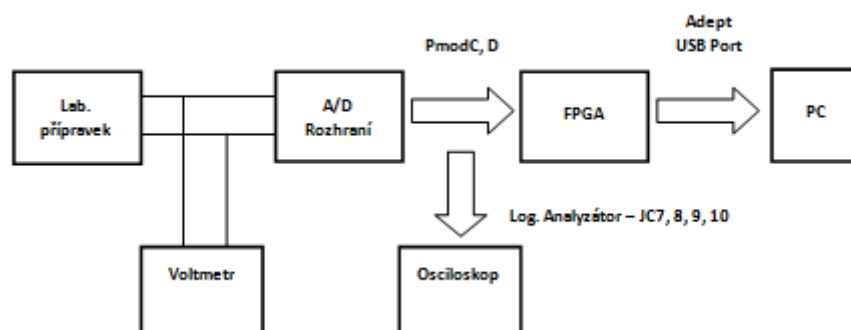


Obr. 1: A/D, D/A rozhraní.

1.6 Pracovní postup

1.6.1 Postup k bodu č. 1 zadání

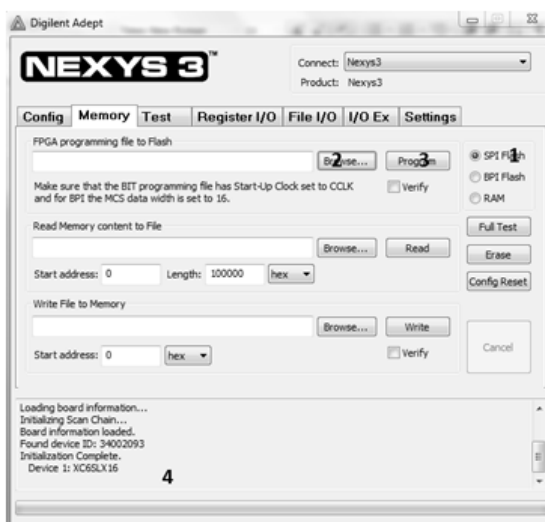
1. Zapojte měřicí řetězec dle následujícího blokového schématu:
 - a) Do laboratorního přípravku vložte baterii, a pomocí drátků jej připojte ke vstupu „6“ A/D, D/A rozhraní. Dbejte přitom na dodržení polarity, rozhraní má kladný vstup orientován výše.
 - b) Rozhraní poté spojte s FPGA Nexys™3 pomocí pinů označených „12“. Piny se zapojují do Pmod konektoru FPGA označených jako **JC 0-12 a JD 0-12**.
 - c) FPGA připojte k PC pomocí programovacího USB kabelu. Zde je důležité zapojit USB kabel pouze do vstupu označeného **USB PROG**.
 - d) Na laboratorní přípravek pomocí krokosvorek připojte multimetr.
 - e) Připojte sondu logického analyzátoru na piny **JC7 až JC9** a zapojte ji do konektoru **DIGITAL**. Pokud byste chtěli zobrazit rovněž první kanál převodníku, zapojte také **JC10**.



Obr. 2: Blokové schéma pro první část úlohy.

2. Zapněte napájení FPGA pomocí přepínače **POWER** a zapněte program **Adept**. Tímto programem do něj nahrajte konfigurační program **topmodule.bit** umístěný ve složce

AD7356 na ploše. Jednotlivé kroky jsou ukázány v Obr. 3. Poté stiskněte tlačítko **RESET** umístěné na desce. Tímto dojde k její konfiguraci.



Obr. 3: Prostředí programu Adept.

3. Zapněte osciloskop a postupujte dle instrukcí:
 - a) Na osciloskopu stiskněte tlačítko **DIGITAL**. Dojde k zobrazení průběhů ze sondy logického analyzátoru.
 - b) Zjistěte, kde se na obrazovce vyskytuje signál CS, CLK a data přenášející se z převodníku, a zjistěte jejich frekvenci pomocí tlačítka **MEAS** na osciloskopu.
 - c) Zaznamenejte 3 průběhy datové komunikace pro laboratorní přípravek při normálním osvětlení, zakrytí a osvětlení. Napětí vždy změřte také multimetrem.
 - d) Z průběhů vypočítejte výslednou hodnotu signálu a porovnejte s hodnotami naměřenými multimetrem. Datový vodič vysílá data v packagech. Po ukončení impulsu CS se během 14 hodinových impulsů vysílají data. První dva bity jsou nulové a po nich následuje 12 bitů dat obsahující potřebnou informaci o napětí. S jedním hodinovým impulzem lze odečíst vždy jeden bit dat.

Tab. 1: Naměřená a vypočítaná data pro první část úlohy.

světelné podmínky	U[mV]	U[mV]
	multimetr	A/D převodník
normální intenzita		
nízká intenzita		
vysoká intenzita		

4. Pro výpočet napětí odečteného z vybraného datového paketu je možné využít vzorec (1). Aby ovšem bylo do tohoto vztahu možné dosadit, je potřeba převést binární hodnotu dvanácti získaných číslic odečtenou ze snímku na dekadickou. K tomu můžete využít buď výpočet, či běžně dostupný kalkulátor pro převod.

$$U_{vst} = 2 \cdot U_{ref} \cdot \left(\frac{V_D}{\text{celkový_rozsah}} - 1/2 \right) \quad (1)$$

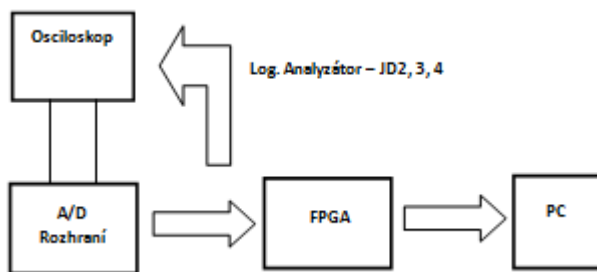
V_D [V]...hodnota odečtená z osciloskopu

celkový_rozsah...4096 úrovní

U_{ref} [V]...u AD7356 je referenční napětí 2,048 V

1.6.2 Postup k bodu č. 2 zadání

1. Zapojte měřicí řetězec dle následujícího blokového schématu:
 - a) Odpojte multimetr z minulé části úlohy.
 - b) Sondu logického analyzátoru přepojte na piny **JD0 až JD2**
 - c) Na konektor rozhraní „10“ připojte sondu osciloskopu



Obr. 4: Blokové schéma pro druhou část úlohy.

1. Při nahrávání konfigurace postupujte jako v první části úlohy, pouze nahrajte program ze složky DAC121.
2. Zapněte osciloskop a postupujte dle instrukcí:
 - a) Na osciloskopu stiskněte tlačítko **DIGITAL**. Dojde k zobrazení průběhů ze sondy logického analyzátoru. Dále zapněte zobrazení signálu z analogové sondy
 - b) Zjistěte, kde se na obrazovce vyskytuje signál CS, CLK a data přenášející se z převodníku, a zjistěte jejich frekvenci pomocí tlačítka **MEAS** na osciloskopu.
 - c) Časovou základnu nastavte tak, aby byl viditelný pilovitý signál z D/A převodníku a zjistěte jeho frekvenci.
 - d) Zaznamenejte průběh z osciloskopu s viditelnými datovými signály a poté

výstupním pilovitým napětím.

1.7 Výsledky

Výsledky laboratorní práce budou obsahovat:

- Změřené frekvence CLK a CS převodníku AD7356.
- Uložené průběhy z osciloskopu pro tři intenzity osvětlení laboratorního přípravku.
- Tabulku s porovnaným napětím změřeným multimetrem a vypočítaným z datové komunikace.
- Změřené frekvence CLK a CS převodníku DAC121S101.
- Změřená frekvence pilového analogového napětí na výstupu převodníku.

1.8 Kontrolní otázky

1. Byl mezi převodníky AD7356 a DA121S101 rozdíl v počtu přenášených bitů během jednoho převodu?
2. Nalezli jste odchylky od hodnoty napětí změřené multimetrem a vypočítané hodnoty, která byla určena z přenášeného datového paketu? Pokud ano, zhodnoťte, čím mohly být způsobeny.
3. Objasněte pojem aliasing a také, jak se dá zabránit jeho vlivu na kvalitu přenosu.
4. Vysvětlete princip aproximačního A/D převodníku, který je využit i v této úloze

1.9 Literatura

[1] DOLEČEK, Jaroslav. *Moderní učebnice elektroniky 6.: Kmitočtové filtry, generátory signálů a převodníky dat*. 1. vyd. Praha: BEN - technická literatura, 2009, 271 s. ISBN 978-80-7300-240-4.

[2] DUCHÁČEK, Karel. *Sériová rozhraní SPI, Microwire, I2C a CAN*. Západočeská univerzita v Plzni. Plzeň, 2002. Dostupné z <http://home.zcu.cz/~dudacek/NMS/Seriova_rozhrani.pdf>.

Příloha D – Vzorový protokol k laboratorní úloze

VŠB-TECHNICKÁ UNIVERZITA OSTRAVA
FAKULTA ELEKTROTECHNIKY A INFORMATIKY

Protokol o měření Analýza SPI přenosu logickým analyzátozem

Jan Novák, NOV555
Jakub Novotný, NOV556

18.9.20013

1.1 Použité vybavení

- A/D, D/A rozhraní
- Laboratorní přípravek s foterezistorem
- Osciloskop Agilent MSO-X 2024A, sériové číslo: MY51360297
- Sonda k logickému analyzátoru – Agilent N6459-61601 Logic Analyzer Probe Cable
- Multimetr DT860E Digital Multimeter
- Propojovací drátky, kabely, krokosvorky
- PC

1.2 Popis měření

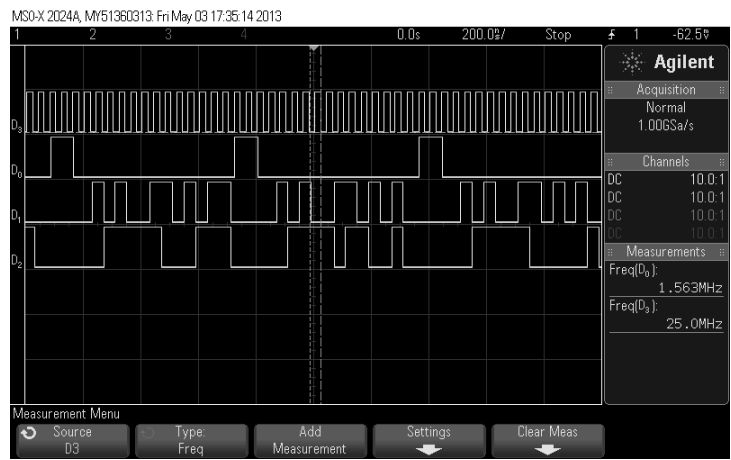
- Při plnění této úlohy jsme postupovali dle podrobného zadání. Nejprve bylo potřeba zapojit měřící řetězec podle blokového schématu k této části úlohy. Laboratorní přípravek jsme zapojili do konektoru „6“ na A/D, D/A rozhraní, což je druhý kanál převodníku AD7356. Následně jsme provedli spojení s vývojovou deskou FPGA a pomocí USB programovacího kabelu jsme jej připojili k PC. Dále jsme dle schématu zapojili také multimetr a logický analyzátor, který se připojil na piny Pmod konektoru JC7, JC8, JC9 a JC10. Dalším krokem bylo pak nahrání příslušné konfigurace do FPGA, prostřednictvím programu Adept. Poté jsme osciloskop zapnuli a pro zobrazení průběhů z analyzátoru zapnuli tlačítko DIGITAL. Na obrazovce se nám poté objevily 4 číslicové průběhy, z nichž jsme určili hodinový signál, CS signál a rozeznali dva datové signály pro oba kanály převodníku. Dle zadání jsme změřili pomocí kurzorů frekvenci hodinového signálu a CS signálu a zaznamenali tři průběhy, ze kterých jsme následně vypočítali hodnotu napětí vstupního signálu. Během nastavování různé intenzity osvětlení jsme zároveň měřili výstupní laboratorního přípravku také multimetrem.
- Ve druhé části laboratorní úlohy jsme provedli změnu v zapojení. Jednalo se o přemístění sondy logického analyzátoru na piny JD0, JD1 a JD2. Dále jsme odpojili multimetr a laboratorní přípravek. Nakonec jsme výstup z D/A převodníku – konektor s označením „10“ připojili k osciloskopu pomocí sondy v kanálu 1. Před samotným měřením bylo navíc potřeba nahrát do FPGA novou konfiguraci. Následně jsme již zaznamenali průběhy číslicových signálů. Pro svůj malý kmitočet byl výstupní pilovitý signál nerozeznatelný, a proto jsme alespoň změřili frekvenci hodinových impulzů a synchronizačního impulzu. Poté jsme zvětšili časovou základnu a pilovité výstupní napětí již bylo rozeznatelné, mohli jsme proto odečíst jeho frekvenci.

1.3 Výsledky měření

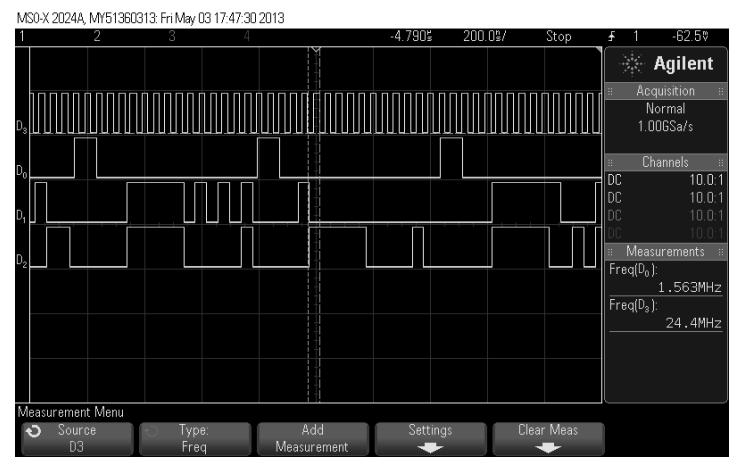
1.3.1 K bodu zadání 1

V první části úlohy bylo úkolem zaznamenat průběhy komunikace převodníku s FPGA pro tři intenzity osvětlení laboratorního přípravku a poté vypočítat z vybraného datového paketu hodnotu napětí které bylo v té době na přípravku. Zároveň toto měření

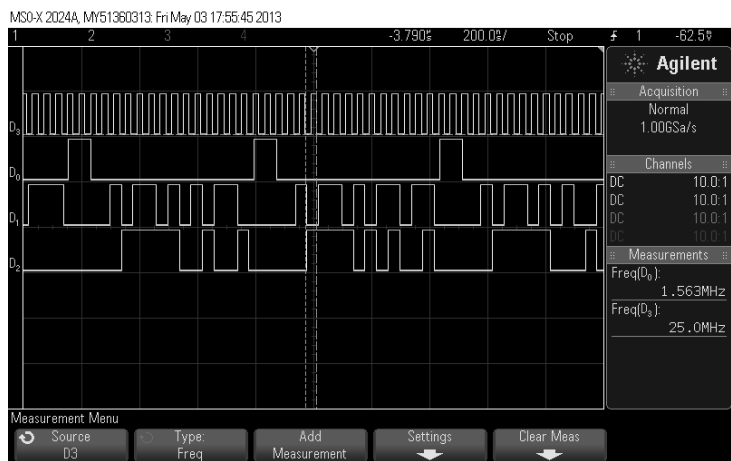
probíhalo pomocí multimetru. Dále měly být zjištěny frekvence hodinových impulsů a CS impulsů.



Obr. 1: Zaznamenaný průběh komunikace – normální intenzita osvětlení.



Obr. 2: Zaznamenaný průběh komunikace – nízká intenzita osvětlení.



Obr. 3: Zaznamenaný průběh komunikace – vysoká intenzita osvětlení.

Ze zaznamenaných průběhů je viditelné že hodinový signál se na osciloskopu nacházel na pozici D₃. Změřili jsme jeho kmitočet a jeho hodnota je 25MHz. Na pozici D₀ se nachází CS impulzy, jejichž kmitočet byl 1,563MHz. Na pozici D₁ se nacházel snímaný kanál, na který byl připojen laboratorní přípravek.

Dále jsme provedli výpočty dle vztahu (1), kde byly převedeny binární hodnoty zaznamenaných datových paketů do dekadické soustavy. Výpočtem (2) jsme poté vypočítali napěťovou hodnotu signálu vstupujícího do převodníku.

Příklad výpočtu pro nízkou intenzitu osvětlení, druhý datový paket:

$$V_D = 1000\ 0000\ 0000_2 \Rightarrow 1 \cdot 2^{11} + 0 \cdot 2^{10} + 0 \cdot 2^9 + \dots + 0 \cdot 2^0 = \underline{2048}_{10} \quad (1)$$

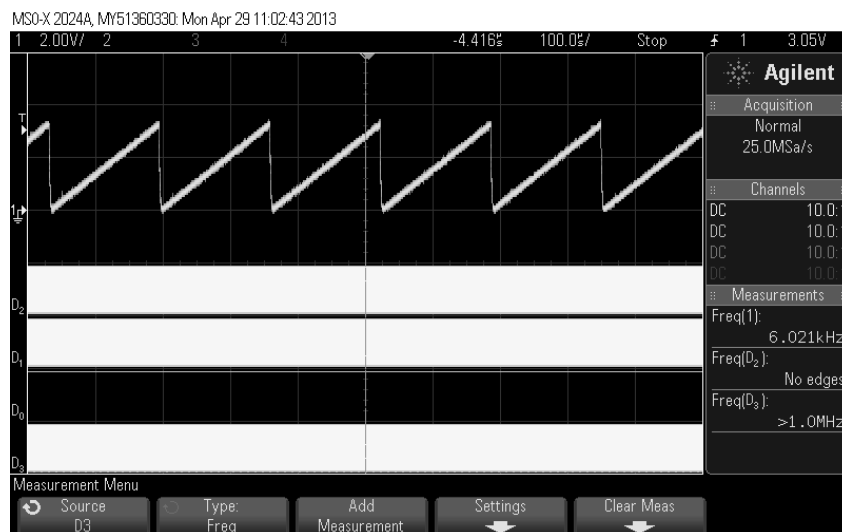
$$U_{vst} = 2 \cdot U_{ref} \cdot \left(\frac{V_D}{\text{celkový rozsah}} - \frac{1}{2} \right) = 2 \cdot 2,048 \cdot \left(\frac{2048}{4096} - \frac{1}{2} \right) = \underline{0V} \quad (2)$$

Tab. 1: Výsledky první části laboratorní úlohy

světelné podmínky	U[mV] multimetr	U[mV] A/D převodník
normální intenzita	556	618
nízká intenzita	3,2	0
vysoká intenzita	914	867

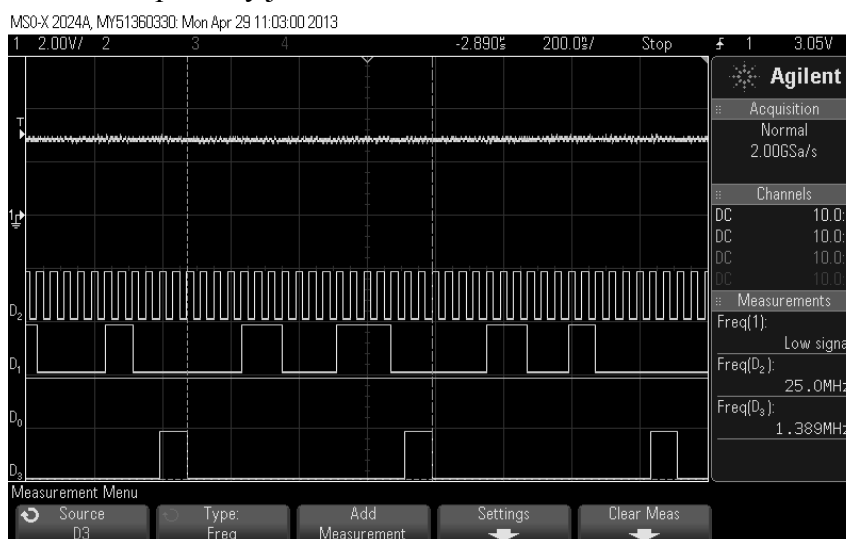
1.3.2 K bodu zadání 2

Zde bylo úkolem zaznamenat průběh napětí na výstupu D/A převodníku a opět změřit frekvence hodinového signálu, synchronizačních impulzů a také navíc i frekvenci analogového výstupního napětí.



Obr. 4: Pilovitý signál na výstupu D/A převodníku.

Vzhledem k vysoké frekvenci datových signálů a malé frekvenci výstupního napětí bylo potřeba zaznamenat průběhy jednotlivě.



Obr. 5: Datová komunikace po roztažení časové základny.

Frekvence hodinového signálu je shodná s frekvencí v první části úlohy, jedná se o 25MHz, frekvence synchronizačních impulzů je 1,389MHz a frekvence pilovitého výstupního napětí je 6,021kHz.

1.4 Odpovědi na otázky

1. Byl mezi převodníky AD7356 a DA121S101 rozdíl v počtu přenášených bitů během jednoho převodu? Ano, u převodníku AD7356 se přenáší během jednoho převodu 14 bitů, z nichž 12 nese požadovanou informaci, zatímco u DAC121S101 se přenáší 16 bitů. První dva bity nenesou informaci, další dva slouží k nastavení režimu převodníku, a dalších 12 nese požadovanou informaci.

2. Nalezli jste mezi odchylky od hodnoty změřené multimetrem a vypočítané z přenášeného datového paketu? Pokud ano, zhodnoťte, čím mohly být způsobeny. Odchylky jsme našli, jedná se o chybu způsobenou nepřesným měřením. Během odčítání z multimetru mohlo dojít k zakrytí laboratorního přípravku a tím i snížení výstupního napětí, dále pak chybou převodu. Rozdíl však není vysoký.

3. Objasněte pojem aliasing a také, jak se dá zabránit jeho vlivu na kvalitu přenosu. Pojem aliasing značí chybu způsobenou podvzorkováním vstupního analogového signálu a tím i špatné převedení na číslicový signál. Může být způsoben buď zvolením příliš nízké vzorkovací frekvence či VF rušením. V každém případě není dodrženo Nyquistovo vzorkovací kritérium. Ochrana proti aliasingu je volba dostatečně velké vzorkovací frekvence a použitím antialiasing filtru na vstupu převodníku, což je v podstatě filtr typu dolní propust, který omezí přenos frekvencí vyšších než je polovina vzorkovací frekvence.

4. Vysvětlete princip aproximačního A/D převodníku, který je využit i v této úloze Jakmile dojde k začátku převodu, je ze vstupního signálu v daný okamžik odebrán a zapamatován vzorek pomocí vzorkovacího obvodu a dojde k vynulování aproximačního registru, kromě bitu MSB, kterému je přiřazena logická 1. Toto nastavení se převede pomocí D/A převodníku na napětí odpovídající dané váze U_{DAC} a je porovnáno v komparátoru s napětím vstupním. Pokud je vstupní napětí větší než U_{DAC} , je na této pozici i nadále logická 1. V opačném případě bude nastavena log. 0. Převod dále pokračuje nastavením logické 1 u bitu s nižší vahou a testování se opakuje. Tento postup se opakuje tolikrát, kolik bitů má využitý převodník. Postupně se tedy získává stále přesnější hodnota vzorku.

1.5 Závěr

V této úloze jsme měli možnost pracovat s vybranými A/D a D/A převodníky, pochopili princip jejich funkce a naučili se měřit pomocí logického analyzátoru. Dále se nám podařilo úspěšně dekodovat jeden z poslaných datových paketů, což je podloženo porovnanou hodnotou z multimetru. Všechny body zadání byly splněny.

Příloha F – Obsah CD

- 1. Bakalářská práce „OZV0007_bakalářská práce“ ve formátu.pdf**
- 2. Složka „Konfigurační soubory“** – obsahující soubory ve formátu.VHD a .UCF vytvořené v prostředí ISE Design Suite.
 - a) Projekt „AD7356“
 - b) Projekt „DAC121“
- 3. Složka „DPS“** – obsahující celkové schéma zapojení a desku plošných spojů vytvořené v prostředí EAGLE 6.4.0 Light Edition
 - a) Schéma „AD_DA rozhraní“ ve formátu.sch
 - b) Deska plošných spojů „AD_DA rozhraní“ ve formátu.brd
- 4. Složka „Obrázky“** – obsahující fotografie rozhraní a testování výrobku